

#4



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Naoya TOKUNAGA et al.

Serial No.: 10/081,718

Group Art Unit: 2631

Filed: February 25, 2002

Examiner: Unassigned

For: WAVEFORM EQUALIZATION APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2001-047824 filed Feb. 23, 2001

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

Roger W. Parkhurst
Registration No. 25,177

April 24, 2002

Date

RWP/jmz

Attorney Docket No. HYAE:133

PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月23日

出 願 番 号

Application Number:

特願2001-047824

出 願 人

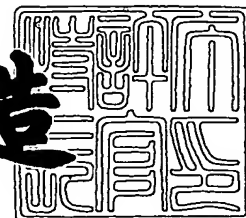
Applicant(s):

松下電器産業株式会社

2001年11月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3105331

【書類名】 特許願
【整理番号】 2037820111
【提出日】 平成13年 2月23日
【あて先】 特許庁長官殿
【国際特許分類】 H03H 15/00
H04N 5/14

【発明者】

【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 ▲とく▼永 尚哉

【発明者】

【住所又は居所】 大阪府門真市大字門真1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 上田 和也

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6380)5822

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 1 - 0 4 7 8 2 4

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 波形等化装置

【特許請求の範囲】

【請求項 1】 実数成分のみをもつデジタル入力信号が入力される第 1 の入力端子と、虚数成分のみをもつデジタル入力信号が入力される第 2 の入力端子と、第 1 及び第 2 の出力端子と、波形等化のフィルタ処理を行う第 1 ないし第 4 のトランスバーサルフィルタ（以下、T F と称す）部と、入力される信号を遅延させて出力する遅延手段と、上記第 1 ないし第 4 の T F 部のタップ係数を制御する第 1 及び第 2 のタップ係数制御手段とを備え、

上記第 1 の入力端子のみに信号を入力する場合には、

上記第 1 ないし第 4 の T F 部を、

上記第 1 の入力端子に入力される信号を上記第 1 の T F 部に入力し、上記第 1 の出力端子から出力する信号を上記遅延手段により遅延した信号を上記第 2 の T F 部に入力し、該第 2 の T F 部の遅延出力を上記第 3 の T F 部に入力し、該第 3 の T F 部の遅延出力を上記第 4 の T F 部に入力し、上記各第 2 ないし第 4 の T F 部によりフィルタ処理した信号を上記第 1 の T F 部のフィルタ処理により得られた信号と上記第 1 の T F 部の主信号成分とに加算して上記第 1 の出力端子から出力するよう接続して、

上記第 1 の出力端子の出力に基づいて上記第 1 のタップ係数制御手段により上記第 1 ないし第 4 の T F 部のタップ係数を制御しながら、上記第 1 の入力端子に入力される入力信号の波形等化処理を行い、得られた信号を上記第 1 の出力端子から出力し、

上記第 1 の入力端子と第 2 の入力端子との両方に信号を入力する場合には、

上記第 1 ないし第 4 の T F 部を、

上記第 1 の入力端子に入力される信号を上記第 1 及び第 3 の T F 部に入力し、上記第 2 の入力端子に入力される信号を上記第 2 及び第 4 の T F 部に入力し、上記第 1 の T F 部のフィルタ処理した信号から上記第 2 の T F 部のフィルタ処理した信号を減算した値に上記第 1 の T F 部の主信号成分を加算して上記第 1 のデータ出力端子から出力し、上記第 3 の T F 部のフィルタ処理した信号と上記第 4 の

TF部のフィルタ処理した信号と該第4のTF部の主信号成分とを加算して上記第2の出力端子から出力するよう接続して、

上記第1及び第2の出力端子からの出力に基づいて上記第2のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数を制御しながら、上記第1ないし第2の入力端子に入力される入力信号の波形等化処理を行い、得られた信号の実数成分を上記第1の出力端子から出力するとともに、得られた信号の虚数成分を上記第2の出力端子から出力する

ことを特徴とする波形等化装置。

【請求項2】 請求項1に記載の波形等化装置において、

上記第1及び第4のTF部は、それぞれ n 個（ n は3以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： m は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、

上記第1のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、外部から入力されるセンタータップ制御信号に基づいて選択し、上記第1のTF部の主信号成分として出力する第1の選択手段と、

上記第4のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を入力とし、該複数の遅延出力の1つを、上記センタータップ制御信号に基づいて選択し、上記第4のTF部の主信号成分として出力する第2の選択手段とを備えた、

ことを特徴とする波形等化装置。

【請求項3】 実数成分のみを持つデジタル入力信号が入力される第1の入力端子と、

虚数成分のみを持つデジタル入力信号が入力される第2の入力端子と、

上記第1の入力端子に入力される入力信号を入力として波形等化のためのフィルタ処理した信号と、該フィルタ処理における主信号成分とを出力する第1のTF部と、

第1及び第2の入力を有し、該第2の入力を上記第2の入力端子に入力される入力信号とし、上記第1及び第2の入力のいずれか一方を選択して出力する第1の選択回路と、

該第 1 の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と入力信号を遅延させた遅延信号とを出力する第 2 の T F 部と、

上記第 1 の入力端子に入力される入力信号と上記第 2 の T F 部の遅延信号のいずれか一方を選択して出力する第 2 の選択器と、

該第 2 の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と入力信号を遅延させた遅延信号とを出力する第 3 の T F 部と、

上記第 2 の入力端子に入力される入力信号と上記第 3 の T F 部の遅延信号のいずれか一方を選択して出力する第 3 の選択器と、

該第 3 の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と、該フィルタ処理における主信号成分とを出力する第 4 の T F 部と、

上記第 2 の T F 部のフィルタ処理により得られた信号と該フィルタ処理した信号を反転させた信号のいずれか一方を選択して出力する第 4 の選択器と、

該第 4 の選択器の出力と上記第 1 の T F 部のフィルタ処理により得られた信号とを加算した信号と、上記第 4 の T F 部の出力する主信号成分のいずれか一方を選択して出力する第 5 の選択器と、

上記第 4 の選択器の出力と上記第 1 の T F 部のフィルタ処理により得られた信号とを加算した信号と、上記第 5 の選択器の出力と上記第 3 の T F 部のフィルタ処理により得られた信号と上記第 4 の T F 部のフィルタ処理により得られた信号とを加算した信号のいずれか一方を選択して出力する第 6 の選択器と、

該第 6 の選択器の出力と上記第 1 の T F 部の主信号成分とを加算した信号を出力する第 1 の出力端子と、

上記第 6 の選択器の出力と上記第 1 の T F 部の主信号成分とを加算した信号を遅延させて、該遅延させて得られた信号を上記第 1 の選択器の第 1 の入力となるよう出力する遅延器と、

上記第 5 の選択器の出力と上記第 3 の T F 部のフィルタ処理により得られた信号と上記第 4 の T F 部のフィルタ処理により得られた信号とを加算した信号を出力する第 2 の出力端子と、

上記第 6 の選択器の出力と上記第 1 の T F 部の主信号成分とを加算した信号に基づいて、上記第 1 ないし第 4 の T F 部のタップ係数を制御する第 1 のタップ係

数制御手段と、

上記第 6 の選択器の出力と上記第 1 の T F 部の主信号成分とを加算した信号、及び上記第 5 の選択器の出力と上記第 3 の T F 部のフィルタ処理により得られた信号と上記第 4 の T F 部のフィルタ処理により得られた信号とを加算した信号に基づいて上記第 1 ないし第 4 の T F 部のタップ係数を制御する第 2 のタップ係数制御手段と、を備え、

上記第 1 の入力端子のみに信号を入力する場合には、上記第 1 の選択器は、上記遅延器からの入力を選択して出力し、上記第 2 の選択器は、上記第 2 の T F 部の遅延信号を選択して出力し、上記第 3 の選択器は、上記第 3 の T F 部の遅延信号を選択して出力し、上記第 4 の選択器は、上記第 2 の T F 部のフィルタ処理により得られた信号を選択して出力し、上記第 5 の選択器は、上記第 4 の選択器の出力と上記第 1 の T F 部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第 6 の選択器は、上記第 5 の選択器の出力と上記第 3 の T F 部のフィルタ処理により得られた信号と上記第 4 の T F 部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第 1 のタップ係数制御手段により上記第 1 ないし第 4 の T F 部のタップ係数の制御を行い、

上記第 1 の入力端子と第 2 の入力端子との両方に信号を入力する場合には、上記第 1 の選択器は、上記第 2 の入力端子の入力を選択して出力し、上記第 2 の選択器は、上記第 1 の入力端子の入力を選択して出力し、上記第 3 の選択器は、上記第 2 の入力端子の入力を選択して出力し、上記第 4 の選択器は、上記第 2 の T F 部のフィルタ処理により得られた信号の反転信号を選択して出力し、上記第 5 の選択器は、上記第 4 の T F 部の主信号成分を選択して出力し、上記第 6 の選択器は、上記第 4 の選択器の出力と上記第 1 の T F 部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第 2 のタップ係数制御手段により上記第 1 ないし第 4 の T F 部のタップ係数の制御を行う、

ことを特徴とする波形等化装置。

【請求項 4】 請求項 3 に記載の波形等化装置において、

上記第 1 及び第 4 の T F 部は、それぞれ n 個 (n は 3 以上の整数) の T F を備え、該各 T F は m ($1 \leq m \leq n - 1$: m は整数) 番目の T F の遅延出力が $m + 1$

番目の入力となるよう接続されており、各TFのフィルタ処理した信号を加算した信号を、それぞれ上記第1及び第4のTF部のフィルタ処理した出力とし、

上記第1のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、外部から入力されるセンタータップ制御信号に基づいて選択して、上記第1のTF部の主信号成分として出力する第7の選択手段と、

上記第4のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、上記センタータップ制御信号に基づいて選択して、上記第4のTF部の主信号成分として出力する第8の選択手段とを備えた、

ことを特徴とする波形等化装置。

【請求項5】 請求項1または請求項3のいずれかに記載の波形等化装置において、

上記第1ないし第4のTF部の少なくとも1つは、 n 個（ n は2以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、該TFのうちの1個以上のTFが、外部から入力されるフィルタ動作制御信号により動作状態を稼動状態と停止状態とのいずれかに切り替えられる、

ことを特徴とする波形等化装置。

【請求項6】 請求項1または請求項3のいずれかに記載の波形等化装置において、

上記第1及び第4のTF部は、 n 個（ n は2以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、

上記第2及び第3のTF部は、 s 個（ s は2以上の整数）のTFを備え、該各TFは t （ $1 \leq t \leq s-1$ ： t は整数）番目のTFの遅延出力が $t+1$ 番目のTFの入力となるよう接続されており、

上記第1ないし第4のTF部は、それぞれを構成する各TFのうちの1個以上のTFが、外部から入力されるフィルタ動作制御信号により動作状態を稼動状態

と停止状態とのいずれかに切り替えられる、

ことを特徴とする波形等化装置。

【請求項 7】 実数成分のみをもつデジタル入力信号が入力される入力端子と、

該入力端子に入力される入力信号に対して波形等化のフィルタ処理を行う第 1 の T F と、

該第 1 の T F がフィルタ処理した出力を複数の入力のうちのひとつとし、入力される信号を加算して出力する加算器と、

該加算器の出力を出力する出力端子と、

上記加算器の出力を遅延させて出力する遅延器と、

該遅延器の出力をスライスするスライサと、

該スライサの出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、上記スライサの出力を遅延させた遅延出力と、各タップから得られる信号とを出力する第 2 の T F と、

該第 2 の T F の遅延出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、第 2 の T F の遅延出力を遅延させた遅延出力と、各タップから得られる信号とを出力する第 3 の T F と、

該第 3 の T F の遅延出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、各タップから得られる信号を出力する第 4 の T F と、

上記加算器の出力と上記第 2 ないし第 4 の T F の各タップから得られる信号とに基づいて、上記第 1 ないし第 4 の T F の各タップのタップ係数を制御するタップ係数制御手段と、

を備えたことを特徴とする波形等化装置。

【請求項 8】 デジタル信号が入力される入力端子と、

テスト用の信号を発生するテスト信号発生部と、

外部から入力されるモード入力信号に基づいて、上記入力端子に入力される信号または上記テスト信号のいずれかを選択して出力する入力信号選択手段と、

1 つ以上の T F を備え、上記入力信号選択手段が選択した信号に対して波形等

化のフィルタ処理を行うデジタルフィルタ部と、

該デジタルフィルタ部がフィルタ処理した信号を出力する出力端子と、

上記入力信号選択手段が上記入力信号に入力される信号を選択している際には、上記デジタルフィルタ部がフィルタ処理した信号に基づいてデジタルフィルタ部内のTFのタップ係数の更新を行い、記入力信号選択手段が上記テスト信号を選択している場合には、タップ係数の更新を行わないタップ係数制御手段と

を備えたことを特徴とする波形等化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル放送に用いられるデジタル信号の伝送路歪みを低減する波形等化装置に関するものである。

【0002】

【従来の技術】

デジタル放送は、当初衛星を主体に行われてきたが、近年では地上波放送やケーブル放送もデジタル化の流れが押し寄せている。この地上波デジタル放送やケーブルデジタル放送において伝送路歪を低減する波形等化技術は必須なものである。

【0003】

以下、地上波デジタル放送における従来の波形等化装置について、米国で採用されている8値VSB (Vestigial Side Band: 残留側波帯) 変調方式を用いたDTV (Digital Television) 方式を例に説明する。

【0004】

図11は従来のVSB変調方式に対応した波形等化装置の構成図を示しており、図において、波形等化装置は、VSB変調方式を用いたDTV信号(以下VSB信号と称す) S1が入力されるデータ入力端子1001と、データ入力端子から入力されるVSB信号に対して波形等化のフィルタ処理を行うデジタルフィルタ部1015と、デジタルフィルタ部1015により波形等化のフィルタ処

理されたVSB信号S2を出力するデータ出力端子1011と、デジタルフィルタ部1015から得られるデータに基づいて、デジタルフィルタ部1015内において用いられるタップ係数を算出し、これをデジタルフィルタ部1015に出力するタップ係数制御部1014とを備えている。

【0005】

デジタルフィルタ部1015内において、32タップトランスバーサルフィルタ（以下TFと略す）1002は、データ入力端子1001に入力される信号S1を入力とし、内部の32タップからそれぞれ得られる信号と、各タップに対応してタップ係数制御部1014により与えられたタップ係数との積を求め、これらの積の和を波形等化のフィルタ処理により得られた信号として加算器1009に出力する。また入力された信号を遅延した得られた遅延信号を32タップTF1003及び加算器1009に出力する。TF1003は、TF1002から出力された遅延信号を入力とし、内部の32タップからそれぞれ得られる信号と、各タップに対応してタップ係数制御部1014により与えられたタップ係数との積を求め、これらの積の和を波形等化のフィルタ処理により得られた信号として加算器1009に出力する。ここではTF1002とTF1003とを1つの64タップTFと同等のものとして使用しており、TF1002から出力される遅延信号を加算器1009にTF1002とTF1003とにより構成される64タップTFのセンタータップの信号、即ち主信号成分として出力している。遅延器1004は加算器1009から出力される信号を32シンボル分遅延して遅延器1010及びスライサ1005に出力する。スライサ1005は遅延器1004の出力信号をVSB信号の取りうる8値のいずれかの最も近い値にマッピングして出力し、入力される信号のノイズが後段の処理に対して与える影響をなくす。64タップTF1006は、スライサ1005から出力された信号を入力とし、内部の各タップから得られる信号と、各タップに対応してタップ係数制御部1014により与えられるタップ係数との積を求め、これらの積の和を波形等化のフィルタ処理により得られた信号として加算器1009に出力するとともに、入力された信号を遅延して得られた遅延信号を64タップTF1007に出力する。64タップTF1007は、TF1006から出力された信号を入力とし、

内部の各タップから得られる信号と、各タップに対応してタップ係数制御部1014により与えられるタップ係数との積を求め、これらの積の和を波形等化のフィルタ処理により得られた信号として加算器1009に出力するとともに、入力された信号を遅延して得られた遅延信号を64タップTF1008に出力する。64タップTF1008は、TF1007から出力された信号を入力とし、内部の64タップからそれぞれ得られる信号と、各タップに対応してタップ係数制御部1014より与えられるタップ係数との積を求め、これらの積の和を波形等化のフィルタ処理により得られた信号として加算器1009に出力する。ここでは直列に接続した3つのTF1006、TF1007、TF1008を1つの192タップTFの代わりとして使用している。遅延器1010は遅延器1004から得られる信号を64シンボル $\times 3 = 192$ シンボル分、即ちTF1006、TF1007、TF1008により信号が遅延される分だけ遅延させてタップ係数制御部1014に出力する。加算器1009はTF1002、TF1003、TF1006、TF1007、及びTF1008からそれぞれ得られる積和演算結果、即ちそれぞれの波形等化のフィルタ処理により得られた信号を加算して得られた信号を、データ出力端子1011から波形等化処理したVSB信号S2として出力するとともに、この加算して得られた信号をタップ係数制御部1014及び遅延器1004に出力する。タップ係数制御部1014は加算器1009と遅延器1010の出力に基づいて、TF1002、TF1003、TF1006、TF1007、及びTF1008の内部の各タップに対応したタップ係数を算出し、これをTF1002、TF1003、TF1006、TF1007、及びTF1008に出力することでタップ係数の更新制御を行う。

【0006】

図12はVSB方式の信号フォーマットの構成図であり、VSB方式の信号フォーマットは、映像や音声などのデータ信号3101を含む領域と、フィールド同期信号3102を含む領域と、セグメント同期信号3103を含む領域とからなる。

【0007】

図13はフィールド同期信号の構成を示す模式図であり、領域3102のフィ

ールド同期信号は、図13に示すように、PN511信号3201と、3つのPN63信号3202と、コントロール信号3203とを含む。なお、フィールド同期信号#2はフィールド同期信号#1に対してPN63信号3202の2番目の値が逆になっているだけの違いである。また、図13において、左側に記入している数値、即ち、+7、+5、+3、+1、-1、-3、-5、-7は8値VSB変調方式の取る8通りの数値の一例を示したものである。

【0008】

このVSB信号は、1フレームあたり832シンボル、313セグメントである。また、PN511信号3201は、 $PN511 = X^9 + X^7 + X^6 + X^4 + X^3 + X + 1$ で、Pre-loadは010000000で表される。PN63信号3202は、 $PN63 = X^6 + X + 1$ で、Pre-loadは100111で表される。PN511信号3201は511シンボル、PN63信号3202はそれぞれ63シンボル、コントロール信号3203は128シンボルであり、フィールド同期信号3102全体で828シンボルである。

【0009】

次に動作について図11を用いて説明する。まず、8値VSB変調されたDTV信号を入力信号S1としてデータ入力端子1001に入力すると、TF1002及びTF1003により、タップ係数制御部1014により設定されるタップ係数に基づいて、波形等化処理が行われ、TF1002及びTF1003それぞれの内部のタップの出力の積和演算結果、及びTF1002が出力する遅延信号が加算器1009に送られる。加算器1009は入力される信号を加算し、加算により得られた信号を出力信号S2として、データ出力端子1011から出力するとともに、タップ係数制御部1014及び遅延器1004に出力する。遅延部1004は32シンボル分だけ出力信号S2を遅延させてスライサ1005及び遅延器1010に出力する。スライサ1005は遅延器1004の出力を8値のいずれか1番近い値にマッピングすることで、その後の処理における信号のノイズの影響をなくす。TF1006、TF1007、及びTF1008はスライサ1005の出力を波形等化処理し、その処理結果を加算器1009に出力する。遅延器1010は、遅延器1004の出力を、192シンボル分だけ、即ちTF

1006、TF1007、及びTF1008によって遅延される分だけ信号を遅延して、タップ係数制御部1014に出力する。この遅延器1010はスライサ1005により8値化されていない遅延器1004の出力をタップ係数制御部1014に出力するために設けられている。タップ係数制御部1014は、出力信号S2と図13に示した8通りのシンボル値の最も確からしいシンボル値との誤差を求め、これを用いてLMS (Least MeanSquare) アルゴリズムに基づきTF1002、TF1003、TF1006、TF1007、TF1008のタップ係数の係数更新を行う。

【0010】

TF1002及びTF1003は上述したように1つのTFと同様の働きをしており、これらはいわゆるフィードフォワード型のTFとなっている。また、TF1006、TF1007及びTF1008は上述したように1つのTFと同様の働きをしており、これらはいわゆるフィードバック型のTFとなっており、遅延器1004により32シンボルだけ遅延した信号を波形等化处理することで、TF1002及びTF1003では波形等化できなかった後ろの範囲の波形等化を可能としている。

【0011】

次にタップ係数制御部1014の動作について説明する。タップ係数制御部1014では、入力される出力信号S2と8通りのシンボル値の最も確からしいシンボル値との誤差を求め、LMS (Least MeanSquare) アルゴリズムに基づきTF1002、TF1003、TF1006、TF1007、及びTF1008のタップ係数の係数更新を行う。LMSアルゴリズムは、下記の式1に基づいてTF1002、TF1003、TF1006、TF1007、及びTF1008内のタップ i (i は正の整数) のタップ係数 C_i の n (n は正の整数) 回目の更新を行なうアルゴリズムである。

$$C_i(n+1) = C_i(n) - \alpha \times e_n \times d_i \quad \cdots \text{式1}$$

【0012】

ここで、 α は係数更新量を決定する固定の定数ステップサイズを、 e_n は出力信号の誤差を、 d_i はタップ i のデータをそれぞれ示し、 $-\alpha \times e_n \times d_i$ が係

数更新量を示す。タップ係数制御部 1 0 1 4 は式 1 に基づいて T F 1 0 0 2、T F 1 0 0 3、T F 1 0 0 6、T F 1 0 0 7、及び T F 1 0 0 8 内で用いるタップ係数を更新する。なお、出力信号 S 2 は下記の式 2 で表される。

$$S 2 (n) = \sum (i = 0, 255) (C i (n) \times d i) \quad \cdots \text{式 2}$$

【 0 0 1 3 】

次に、ケーブルデジタル放送に用いられる従来の波形等化装置について説明する。ケーブルデジタル放送においても L M S アルゴリズムを用いた波形等化が行われる。ただし、ケーブルデジタル放送では変調方式としては、8 値 V S B 変調方式ではなく、一般的に直交振幅変調である Q A M (Quadrature Amplitude Modulation) 変調方式が用いられている。

【 0 0 1 4 】

図 1 4 に多値数が 6 4 である Q A M 変調方式を用いた D T V 信号（以下 Q A M 信号と称す）に関して、その信号点配置を示す。横軸は実数軸を表わし、縦軸は虚数軸を表わす。

【 0 0 1 5 】

図 1 5 は多値数が 6 4 である 6 4 値 Q A M 変調方式に対応した波形等化装置の構成を示すブロック図であり、図において、データ入力端子 2 0 0 1 には 6 4 値 Q A M 信号の実数成分が入力される。入力された 6 4 値 Q A M 信号の実数成分は T F 2 0 0 3 及び T F 2 0 0 5 に入力される。T F 2 0 0 3 は内部の各タップ出力の積和演算を行い、その結果を波形等化のフィルタ処理により得られた信号として減算器 2 0 0 7 に出力する。また、T F 2 0 0 3 の主信号は加算器 2 0 0 9 に入力される。また、T F 2 0 0 3 の各タップの出力をタップ係数制御部 2 0 1 3 に入力する。T F 2 0 0 5 は内部の各タップ出力の積和演算を行い、その結果を波形等化のフィルタ処理により得られた信号として加算器 2 0 0 8 に出力する。

【 0 0 1 6 】

一方、データ入力端子 2 0 0 2 には 6 4 値 Q A M 信号の虚数成分が入力される。入力された 6 4 値 Q A M 信号の虚数成分は T F 2 0 0 4 及び T F 2 0 0 6 に入力される。T F 2 0 0 6 は内部で各タップ出力の積和演算を行い、その結果を波

形等化のフィルタ処理により得られた信号として加算器2008に出力する。また、TF2006の主信号は加算器2010に入力される。また、TF2006の各タップの出力をタップ係数制御部2013に入力する。TF2004は内部で各タップ出力の積和演算を行い、その結果を波形等化のフィルタ処理により得られた信号として減算器2007に出力する。

【0017】

減算器2007はTF2003の積和演算結果の出力から、TF2004の積和演算結果の出力を減算する。加算器2009は減算器2007の出力とTF2003の主信号とを加算し、その結果をデータ出力端子2011から複素出力信号S22の実数成分として出力するとともに、タップ係数制御部2013に入力する。

【0018】

加算器2010はTF2006の積和演算結果の出力と、TF2005の積和演算結果の出力とを加算する。加算器2010は加算器2008の出力とTF2008の主信号とを加算し、その結果をデータ出力端子2012から複素出力信号S22の虚数成分として出力するとともに、タップ係数制御部2013に入力する。タップ係数制御部2013は入力される出力信号の実数成分及び虚数成分、並びにTF2003及びTF2006のタップ出力に基づいてTF2003～TF2006のタップ係数の更新制御を行う。

【0019】

この波形等化装置から得られる複素出力信号S22は下記の式3で表される。

$$S22(n) = \sum (i=0, 255) (Ci(n) \times di) \quad \cdots \text{式3}$$

【0020】

ここで $Ci(n)$ と di とを、

$$di = di(r) + j di(i)$$

$$Ci(n) = Ci(n)(r) + j Ci(n)(i)$$

(ただし、以下、(r)は実数部データを、(i)は虚数部データを表すものとする。)

というように複素表現すると、複素出力信号S22は下記のようにあらわせる

【0021】

$$S_{22}(n) = \sum (i=0, 255) ((C_i(n)(r) + j C_i(n)(i))$$

$$\begin{aligned} & \times (d_i(r) + j d_i(i))) \\ & = \sum (i=0, 255) ((C_i(n)(r) \times d_i(r) \\ & \quad - C_i(n)(i) \times d_i(i)) \\ & \quad + j (C_i(n)(r) \times d_i(i) \\ & \quad + C_i(n)(i) \times d_i(r))) \end{aligned}$$

【0022】

ここで $S_{22}(n)$ を

$$S_{22}(n) = S_{22}(n)(r) + j S_{22}(n)(i)$$

とあらわすと、 $S_{22}(n)(r)$ と $S_{22}(n)(i)$ は各々下記の式4、式5であらわされる。

【0023】

$$\begin{aligned} S_{22}(n)(r) &= \sum (i=0, 255) (C_i(n)(r) \times d_i(r) \\ & \quad - C_i(n)(i) \times d_i(i)) \quad \cdots \text{式4} \end{aligned}$$

$$\begin{aligned} S_{22}(n)(i) &= \sum (i=0, 255) (C_i(n)(r) \times d_i(i) \\ & \quad + C_i(n)(i) \times d_i(r)) \quad \cdots \text{式5} \end{aligned}$$

【0024】

次にタップ係数制御部2013によるタップ係数更新の動作について説明する。タップ係数制御部2013は入力される出力信号の実数成分及び虚数成分、並びにTF2003及びTF2006のタップ出力に基づいてTF2003～TF2006のタップ係数の更新制御を行う。QAMの場合に用いられるタップ係数の係数更新式は、LMSアルゴリズムを用いて上述した式1と同様に以下のよう表わされる。

$$C_i(n+1) = C_i(n) - \alpha \times e_n \times d_i^* \quad \cdots \text{式6}$$

(但し d_i^* は d_i の複素共役(複素数))

【0025】

ここで、

$$C_i(n) = C_i(n)(r) + j C_i(n)(i)$$

$$e_n = e_n(r) + j e_n(i)$$

$$d_i = d_i(r) + j d_i(i)$$

$$d_i^* = d_i(r) - j d_i(i)$$

として上記式6を複素表現を用いて展開すると、

実数成分については、

$$\begin{aligned} C_i(n+1)(r) \\ = C_i(n)(r) - \alpha \times \{ e_n(r) \times d_i(r) + e_n(i) \times d_i(i) \} \end{aligned}$$

虚数成分については、

$$\begin{aligned} C_i(n+1)(i) \\ = C_i(n)(i) - \alpha \times \{ e_n(i) \times d_i(r) - e_n(r) \times d_i(i) \} \end{aligned}$$

とあらわせる。

【0026】

【発明が解決しようとする課題】

従来の波形等化装置は以上のように構成されており、これらのような波形等化装置を用いることにより、歪みを低減したDTV信号を得ることができる。

【0027】

しかしながら、従来の波形等化装置においては、VSB信号が入力された場合とQAM信号が入力された場合とで、上述した式2と式4、5に示すように出力信号の計算式が異なり、それぞれに合わせて別々に波形等化装置を準備する必要がある。このため、VSB信号とQAM信号との両方の信号に適用できる波形等化装置を設ける場合、それぞれの信号に対応した波形等化装置を設けて、これらを切り替えて使用する必要があり、回路規模が大きくなってしまいう問題点があった。

【0028】

また、タップ係数制御部1014は、上述した式1に示すようなLMSアルゴ

リズムにより、VSB信号の誤差を用いてタップ係数の算出を行っている。このため、タップ係数制御部1014には、スライサ1005によりスライスされる前の信号を、TF1006、TF1007、及びTF1008により遅延される時間と同じ時間だけ遅延させて入力してやる必要があり、このための手段として遅延器1010を設ける必要があった。しかしながら、このような遅延器は回路規模が大きく、波形等化装置全体の回路規模が増大するという問題点があった。

【0029】

また、従来の波形等化装置においては、出力信号に基づいてタップ係数制御手段1014によりタップ係数を更新していくことにより、フィルタ特性を最適化させる適応制御を行なう構成となっているため、フィルタ特性は一定ではなく、タップ係数の更新に伴い変化していく。このため、適応制御で更新されたフィルタの特性を簡単に知ることができないという問題点があった。

【0030】

本発明は上記のような問題点を解消するためになされたものであり、VSB信号とQAM信号との両方を波形等化可能であるとともに、回路規模が小さく、かつ、適応制御で更新されたフィルタの特性を簡単に知ることができる波形等化装置を提供することを目的とする。

【0031】

【課題を解決するための手段】

本発明（請求項1）に係る波形等化装置は、実数成分のみをもつデジタル入力信号が入力される第1の入力端子と、虚数成分のみをもつデジタル入力信号が入力される第2の入力端子と、第1及び第2の出力端子と、波形等化のフィルタ処理を行う第1ないし第4のトランスバーサルフィルタ（以下、TFと称す）部と、入力される信号を遅延させて出力する遅延手段と、上記第1ないし第4のTF部のタップ係数を制御する第1及び第2のタップ係数制御手段とを備え、上記第1の入力端子のみに信号を入力する場合には、上記第1ないし第4のTF部を、上記第1の入力端子に入力される信号を上記第1のTF部に入力し、上記第1の出力端子から出力する信号を上記遅延手段により遅延した信号を上記第2のTF部に入力し、該第2のTF部の遅延出力を上記第3のTF部に入力し、該第

3 の T F 部の遅延出力を上記第 4 の T F 部に入力し、上記各第 2 ないし第 4 の T F 部によりフィルタ処理した信号を上記第 1 の T F 部のフィルタ処理により得られた信号と上記第 1 の T F 部の主信号成分とに加算して上記第 1 の出力端子から出力するよう接続して、上記第 1 の出力端子の出力に基づいて上記第 1 のタップ係数制御手段により上記第 1 ないし第 4 の T F 部のタップ係数を制御しながら、上記第 1 の入力端子に入力される入力信号の波形等化処理を行い、得られた信号を上記第 1 の出力端子から出力し、上記第 1 の入力端子と第 2 の入力端子との両方に信号を入力する場合には、上記第 1 ないし第 4 の T F 部を、上記第 1 の入力端子に入力される信号を上記第 1 及び第 3 の T F 部に入力し、上記第 2 の入力端子に入力される信号を上記第 2 及び第 4 の T F 部に入力し、上記第 1 の T F 部のフィルタ処理した信号から上記第 2 の T F 部のフィルタ処理した信号を減算した値に上記第 1 の T F 部の主信号成分を加算して上記第 1 のデータ出力端子から出力し、上記第 3 の T F 部のフィルタ処理した信号と上記第 4 の T F 部のフィルタ処理した信号と該第 4 の T F 部の主信号成分とを加算して上記第 2 の出力端子から出力するよう接続して、上記第 1 及び第 2 の出力端子からの出力に基づいて上記第 2 のタップ係数制御手段により上記第 1 ないし第 4 の T F 部のタップ係数を制御しながら、上記第 1 ないし第 2 の入力端子に入力される入力信号の波形等化処理を行い、得られた信号の実数成分を上記第 1 の出力端子から出力するとともに、得られた信号の虚数成分を上記第 2 の出力端子から出力するようにしたものである。

【 0 0 3 2 】

また、本発明（請求項 2）に係る波形等化装置は、請求項 1 に係る波形等化装置において、上記第 1 及び第 4 の T F 部は、それぞれ n 個（ n は 3 以上の整数）の T F を備え、該各 T F は m （ $1 \leq m \leq n - 1$: m は整数）番目の T F の遅延出力が $m + 1$ 番目の T F の入力となるよう接続されており、上記第 1 の T F 部内の 1 番目から $n - 1$ 番目の T F それぞれの遅延出力を個別に入力し、該複数の遅延出力の 1 つを、外部から入力されるセンタータップ制御信号に基づいて選択し、上記第 1 の T F 部の主信号成分として出力する第 1 の選択手段と、上記第 4 の T F 部内の 1 番目から $n - 1$ 番目の T F それぞれの遅延出力を入力とし、該複数の

遅延出力の1つを、上記センタータップ制御信号に基づいて選択し、上記第4のTF部の主信号成分として出力する第2の選択手段とを備えたものである。

【 0 0 3 3 】

また、本発明（請求項3）に係る波形等化装置は、実数成分のみを持つデジタル入力信号が入力される第1の入力端子と、虚数成分のみを持つデジタル入力信号が入力される第2の入力端子と、上記第1の入力端子に入力される入力信号を入力として波形等化のためのフィルタ処理した信号と、該フィルタ処理における主信号成分とを出力する第1のTF部と、第1及び第2の入力を有し、該第2の入力を上記第2の入力端子に入力される入力信号とし、上記第1及び第2の入力のいずれか一方を選択して出力する第1の選択回路と、該第1の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と入力信号を遅延させた遅延信号とを出力する第2のTF部と、上記第1の入力端子に入力される入力信号と上記第2のTF部の遅延信号のいずれか一方を選択して出力する第2の選択器と、該第2の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と入力信号を遅延させた遅延信号とを出力する第3のTF部と、上記第2の入力端子に入力される入力信号と上記第3のTF部の遅延信号のいずれか一方を選択して出力する第3の選択器と、該第3の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と、該フィルタ処理における主信号成分とを出力する第4のTF部と、上記第2のTF部のフィルタ処理により得られた信号と該フィルタ処理した信号を反転させた信号のいずれか一方を選択して出力する第4の選択器と、該第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号と、上記第4のTF部の出力する主信号成分のいずれか一方を選択して出力する第5の選択器と、上記第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号と、上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号のいずれか一方を選択して出力する第6の選択器と、該第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号を出力する第1の出力端子と、上記第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号を遅延させて、該遅

延させて得られた信号を上記第1の選択器の第1の入力となるよう出力する遅延器と、上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号を出力する第2の出力端子と、上記第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号に基づいて、上記第1ないし第4のTF部のタップ係数を制御する第1のタップ係数制御手段と、上記第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号、及び上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号に基づいて上記第1ないし第4のTF部のタップ係数を制御する第2のタップ係数制御手段と、を備え、上記第1の入力端子のみに信号を入力する場合には、上記第1の選択器は、上記遅延器からの入力を選択して出力し、上記第2の選択器は、上記第2のTF部の遅延信号を選択して出力し、上記第3の選択器は、上記第3のTF部の遅延信号を選択して出力し、上記第4の選択器は、上記第2のTF部のフィルタ処理により得られた信号を選択して出力し、上記第5の選択器は、上記第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第6の選択器は、上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第1のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数の制御を行い、上記第1の入力端子と第2の入力端子との両方に信号を入力する場合には、上記第1の選択器は、上記第2の入力端子の入力を選択して出力し、上記第2の選択器は、上記第1の入力端子の入力を選択して出力し、上記第3の選択器は、上記第2の入力端子の入力を選択して出力し、上記第4の選択器は、上記第2のTF部のフィルタ処理により得られた信号の反転信号を選択して出力し、上記第5の選択器は、上記第4のTF部の主信号成分を選択して出力し、上記第6の選択器は、上記第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第2のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数の制御を行うようにしたものである。

【0034】

また、本発明（請求項4）に係る波形等化装置は、請求項3に係る波形等化装置において、上記第1及び第4のTF部は、それぞれ n 個（ n は3以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： m は整数）番目のTFの遅延出力が $m+1$ 番目の入力となるよう接続されており、各TFのフィルタ処理した信号を加算した信号を、それぞれ上記第1及び第4のTF部のフィルタ処理した出力とし、上記第1のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、外部から入力されるセンタータップ制御信号に基づいて選択して、上記第1のTF部の主信号成分として出力する第7の選択手段と、上記第4のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、上記センタータップ制御信号に基づいて選択して、上記第4のTF部の主信号成分として出力する第8の選択手段とを備えたものである。

【0035】

また、本発明（請求項5）に係る波形等化装置は、請求項1または請求項3に係る波形等化装置において、上記第1ないし第4のTF部の少なくとも1つは、 n 個（ n は2以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、該TFのうちの1個以上のTFが、外部から入力されるフィルタ動作制御信号により動作状態を稼動状態と停止状態とのいずれかに切り替えられるようにしたものである。

【0036】

また、本発明（請求項6）に係る波形等化装置は、請求項1または請求項3に係る波形等化装置において、上記第1及び第4のTF部は、 n 個（ n は2以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、上記第2及び第3のTF部は、 s 個（ s は2以上の整数）のTFを備え、該各TFは t （ $1 \leq t \leq s-1$ ： t は整数）番目のTFの遅延出力が $t+1$ 番目のTFの入力となるよう接続されており、上記第1ないし第4のTF部は、それぞれを構成する各TF

のうちの1個以上のTFが、外部から入力されるフィルタ動作制御信号により動作状態を稼動状態と停止状態とのいずれかに切り替えられるようにしたものである。

【0037】

また、本発明（請求項7）に係る波形等化装置は、実数成分のみをもつデジタル入力信号が入力される入力端子と、該入力端子に入力される入力信号に対して波形等化のフィルタ処理を行う第1のTFと、該第1のTFがフィルタ処理した出力を複数の入力のうちのひとつとし、入力される信号を加算して出力する加算器と、該加算器の出力を出力する出力端子と、上記加算器の出力を遅延させて出力する遅延器と、該遅延器の出力をスライスするスライサと、該スライサの出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、上記スライサの出力を遅延させた遅延出力と、各タップから得られる信号とを出力する第2のTFと、該第2のTFの遅延出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、第2のTFの遅延出力を遅延させた遅延出力と、各タップから得られる信号とを出力する第3のTFと、該第3のTFの遅延出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、各タップから得られる信号を出力する第4のTFと、上記加算器の出力と上記第2ないし第4のTFの各タップから得られる信号とに基づいて、上記第1ないし第4のTFの各タップのタップ係数を制御するタップ係数制御手段とを備えたものである。

【0038】

また、本発明（請求項8）に係る波形等化装置は、デジタル信号が入力される入力端子と、テスト用の信号を発生するテスト信号発生部と、外部から入力されるモード入力信号に基づいて、上記入力端子に入力される信号または上記テスト信号のいずれかを選択して出力する入力信号選択手段と、1つ以上のTFを備え、上記入力信号選択手段が選択した信号に対して波形等化のフィルタ処理を行うデジタルフィルタ部と、該デジタルフィルタ部がフィルタ処理した信号を出力する出力端子と、上記入力信号選択手段が上記入力信号に入力される信号を

選択している際には、上記デジタルフィルタ部がフィルタ処理した信号に基づいてデジタルフィルタ部内のTFのタップ係数の更新を行い、記入力信号選択手段が上記テスト信号を選択している場合には、タップ係数の更新を行わないタップ係数制御手段と、を備えたものである。

【0039】

【発明の実施の形態】

（実施の形態1）

図1は本発明の実施の形態1に係る波形等化装置の構成を示すブロック図である。図において、トランスバーサルフィルタ部（以下TF部と称す）101a内の32タップのTF101は、データ入力端子1に入力される入力信号を入力として、内部の複数のタップ（図示せず）からの出力と各タップに対応したタップ係数との積を加算した積和演算結果を波形等化のフィルタ処理結果として加算器113に出力するとともに、内部の遅延回路（図示せず）により入力信号を遅延して得られる遅延信号をTF102及び加算器118に出力する。また、TF部101a内の32タップのTF102はTF102の遅延信号を入力として、内部の複数のタップからの出力と各タップに対応したタップ係数との積を加算した積和演算結果をフィルタ処理結果として加算器113に出力する。このTF部101aは1つの64タップのTFと同等のものであり、TF101から加算器118に出力される遅延信号はTF部101aの主信号成分の役割を果たす。本実施の形態1においては、2つのTF101、TF102を備えたTF部101aの代わりに、1つの64タップTFを用いるようにしてもよい。加算器113はTF101及びTF102から出力される遅延信号を加算して加算器115に出力する。

【0040】

選択器107は第1及び第2の入力を有し、第2の入力としてデータ入力端子120の入力信号を入力し、第1の入力と第2の入力とのいずれか一方を選択してTF部103aに出力する。TF部103aを構成する64タップのTF103は内部の各タップの出力とタップ係数との積和演算結果をフィルタ処理結果として選択器110及び符号反転器119に出力するとともに、遅延信号を選択器

108に出力する。選択器108はTF部103aの遅延信号とデータ入力端子1の入力信号とのいずれか一方を選択してTF部104aに出力する。TF部104aを構成する64タップのTF104は内部の各タップの出力とタップ係数との積和演算結果をフィルタ処理結果として加算器116に出力するとともに、遅延信号を選択器109に出力する。

【0041】

選択器109はデータ入力端子120の入力信号とTF部104aから出力される遅延信号とのいずれか一方を選択してTF部105aに出力する。TF部105aを構成する32タップのTF105は、選択器109の出力を入力として、内部の複数のタップからの出力と各タップに対応したタップ係数との積を加算した積和演算結果をフィルタ処理結果として加算器114に出力するとともに、遅延信号をTF106及び選択器111に出力する。また、TF部105aを構成する32タップのTF106はTF105の遅延信号を入力として、内部の複数のタップからの出力と各タップに対応したタップ係数との積を加算した積和演算結果をフィルタ処理結果として加算器114に出力する。このTF部105aは1つの64タップのTFと同等のものであり、TF105から選択器111に出力される遅延信号はTF部105aの主信号成分の役割を果たす。本実施の形態1においては、2つのTF105、TF106を備えたTF部105aの代わりに、1つの64タップのTFを用いるようにしてもよい。

【0042】

加算器114はTF105とTF106との積和演算結果を加算して得られた信号を加算器116に出力する。加算器116は加算器114の出力とTF104の積和演算結果の出力とを加算して加算器117に出力する。符号反転器119はTF部103aの出力する積和演算結果を入力とし、この入力信号の符号を反転した信号を選択器110に対して出力する。選択器110は符号反転器119の出力とTF部103aの積和演算結果とのいずれか一方を選択して加算器115に出力する。加算器115は、選択器110の出力と加算器113の出力とを加算し、加算により得られた信号を選択器112及び選択器111に対して出力する。選択器111はTF部105a内のTF105の遅延信号、即ちTF部

1 0 5 a の主信号成分と加算器 1 1 5 の出力とのいずれか一方を選択して加算器 1 1 7 に出力する。加算器 1 1 7 は選択器 1 1 1 の出力と加算器 1 1 6 の出力とを加算し、加算により得られた信号をデータ出力端子 1 2 1 から出力信号として出力するとともに、選択器 1 1 2 及びタップ係数制御回路 1 5 0 に対して出力する。選択器 1 1 2 は加算器 1 1 7 の出力と加算器 1 1 5 の出力とのいずれか一方を選択して加算器 1 1 8 に出力する。加算器 1 1 8 は、選択器 1 1 2 の出力と T F 部 1 0 1 a 内の T F 1 0 1 の遅延信号、即ち T F 部 1 0 1 a の主信号成分とを加算し、これにより得られた信号を出力信号としてデータ出力端子 1 1 から出力するとともに、タップ係数制御回路 1 4 0、タップ係数制御回路 1 5 0、及び遅延器 4 に対し出力する。

【 0 0 4 3 】

遅延器 4 は加算器 1 1 8 の出力信号を 3 2 シンボル分遅延してスライサ 5 及び遅延器 1 3 0 に出力する。スライサ 5 は入力された信号を V S B 信号が取り得る値、ここでは 8 値のうちの最も近い値にマッピングした信号を選択器 1 0 7 の第 1 の入力として選択器 1 0 7 に入力する。遅延器 1 3 0 は 1 9 2 シンボル分だけ遅延器 4 の出力信号を遅延させてタップ係数制御回路 1 4 0 に出力する。タップ係数制御回路 1 4 0 はデータ出力端子 1 1 からの出力となる出力信号及び遅延器 1 3 0 の出力とを入力とし、これらと 8 通りのシンボル値の最も確からしいシンボル値との誤差を求め、これを用いて L M S アルゴリズムに基づき T F 1 0 1 ~ T F 1 0 6 において使用すべきタップ係数を求め、図示していないが T F 1 0 1 ~ T F 1 0 6 に対して制御信号を送信して、この求めたタップ係数により T F 1 0 1 ~ T F 1 0 6 内において用いる各タップ係数を更新制御する。タップ係数制御回路 1 5 0 はデータ出力端子 1 1 から出力される出力信号、データ出力端子 1 2 1 から出力される出力信号、T F 部 1 0 1 a 内部の各タップから得られる信号、及び T F 部 1 0 5 a 内部の各タップから得られる信号を入力とし、これらと Q A M 信号の取りうるシンボル値のうちの最も確からしいシンボル値との誤差を求め、これを用いて L M S アルゴリズムに基づき T F 1 0 1 ~ T F 1 0 6 において使用すべきタップ係数を求め、図示していないが T F 1 0 1 ~ T F 1 0 6 に対して制御信号を送信して、この求めたタップ係数により T F 1 0 1 ~ T F 1 0 6 内

において用いる各タップ係数を更新制御する。フィルタ構成制御端子 1 2 2 には、外部から選択器 1 0 7 ~ 1 1 2 の切り替えを制御する制御信号が入力される。選択器 1 0 7 ~ 1 1 2 にはこの制御信号がそれぞれ入力され、選択器 1 0 7 ~ 1 1 2 はこの制御信号に基づいて入力信号のいずれを選択するか、即ち入力切り替えを制御する。この制御信号は、予め外部のレジスタ等（図示せず）に格納されており、波形等化装置に入力される信号に応じて、外部のコントローラ等（図示せず）の指示に基づき、フィルタ構成制御端子 1 2 2 に入力される。

【 0 0 4 4 】

図 2 は、本実施の形態 1 に係る波形等化装置の、V S B 変調方式を用いた実数成分のみを有する D T V 信号（以下 V S B 信号と称す）を入力する場合の動作を説明するためのブロック図である。この図 2 は上記図 1 に示した波形等化装置において、使用しない信号線を点線で示したものである。以下、図 2 を用いて、特に 8 値の V S B 信号を入力する場合の動作について説明する。

【 0 0 4 5 】

まず、フィルタ構成制御端子 1 2 2 に外部から、選択器 1 0 7 ~ 1 1 2 のそれぞれの入力を V S B 信号に合わせて切り替えるためのフィルタ構成制御信号、ここでは例えば“1”を入力し、8 値 V S B 信号をデータ入力端子 1 に入力する。

【 0 0 4 6 】

T F 部 1 0 1 a 内において、T F 1 0 1 はデータ入力端子 1 に入力された 8 値 V S B 信号に対してフィルタ処理を行い、フィルタ処理した信号を加算器 1 1 3 に出力とともに、内部の遅延回路により遅延して得られる遅延信号を T F 1 0 2 に出力する。さらに遅延信号を T F 部 1 0 1 a の主信号成分として加算器 1 1 8 に出力する。T F 1 0 2 はこの T F 1 0 1 から出力される遅延信号に対してフィルタ処理を行い、フィルタ処理した信号を加算器 1 1 3 に出力する。加算器 1 1 3 は T F 1 0 1 及び T F 1 0 2 によりフィルタ処理した信号を加算して出力する。

【 0 0 4 7 】

選択器 1 0 7 はフィルタ構成制御信号に基づいてスライサ 5 の出力を選択して T F 1 0 3 に供給する。T F 1 0 3 は選択されたスライサ 5 の出力に対してフイ

ルタ処理を行い、フィルタ処理した信号を出力するとともに、内部の遅延回路により遅延して得られる遅延信号を出力する。選択器 1 0 8 はフィルタ構成制御信号に基づいて T F 1 0 3 から出力される遅延信号を選択して T F 1 0 4 に供給する。T F 1 0 4 は T F 1 0 3 から出力される遅延信号に対してフィルタ処理を行い、フィルタ処理した信号と、遅延信号とをそれぞれ出力する。選択器 1 0 9 はフィルタ構成制御信号に基づいて T F 1 0 4 からの遅延信号を選択して T F 部 1 0 5 a に供給する。

【 0 0 4 8 】

T F 部 1 0 5 a においては、T F 1 0 5 は T F 1 0 4 から出力される遅延信号に対してフィルタ処理を行いフィルタ処理した信号を加算器 1 1 4 に出力するとともに、遅延信号を T F 1 0 6 に出力し、T F 1 0 6 はこの遅延信号に対してフィルタ処理を行い、フィルタ処理した信号を加算器 1 1 4 に出力する。このように選択器 1 0 7 ~ 1 0 9 をフィルタ構成制御端子 1 2 2 に入力したフィルタ構成制御信号 “ 1 ” により選択動作させることにより、T F 1 0 3、T F 1 0 4、T F 1 0 5 及び T F 1 0 6 が直列に接続される。即ち T F 部 1 0 3 a、T F 部 1 0 4 a、及び T F 部 1 0 5 a が直列に接続される。加算器 1 1 4 は T F 1 0 5 のフィルタ処理した信号と T F 1 0 6 のフィルタ処理した信号とを加算し、加算器 1 1 6 に出力する。加算器 1 1 6 は加算器 1 1 4 の出力と T F 1 0 4 から得られるフィルタ処理した信号とを加算し、加算器 1 1 7 に出力する。

【 0 0 4 9 】

選択器 1 1 0 はフィルタ構成制御信号に基づいて T F 1 0 3 が出力するフィルタ処理した信号を選択して加算器 1 1 5 に供給する。加算器 1 1 5 は選択器 1 1 0 の出力と加算器 1 1 3 の出力とを加算して出力する。選択器 1 1 1 はフィルタ構成制御信号に基づいて加算器 1 1 5 の出力を選択して加算器 1 1 7 に供給する。加算器 1 1 7 は選択器 1 1 1 の出力と加算器 1 1 6 の出力とを加算して出力する。選択器 1 1 2 は加算器 1 1 7 の出力を選択して加算器 1 1 8 に供給する。加算器 1 1 8 は選択器 1 1 2 の出力と T F 1 0 1 の遅延信号、即ち T F 部 1 0 1 a の主信号成分とを加算し、加算して得られた信号を、V S B 信号を波形等化処理した出力信号としてデータ出力端子 1 1 1 から出力する。また、加算器 1 1 8 は

出力を遅延器 4 及びタップ係数制御回路 1 4 0 に出力する。遅延器 4 は T F 部 1 0 1 a によるフィルタ処理と T F 部 1 0 3 a, T F 部 1 0 4 a, T F 部 1 0 5 a によるフィルタ処理とのタイミングを調整するために、加算器 1 1 8 が出力する出力信号を遅延させてスライサ 5 に出力する。ここでは加算器 1 1 8 の出力を 3 2 シンボル分だけ遅延させた信号をスライサ 5 に出力する。スライサ 5 は V S B 信号の取りうる 8 値のうちのいずれか最も近い値に、遅延器 4 の出力をマッピングして出力する。遅延器 1 3 0 は直列に接続した 6 4 タップの T F 部 1 0 3 a、6 4 タップの T F 部 1 0 4 a、6 4 タップの T F 部 1 0 5 a による遅延分、即ち 1 9 2 シンボル分だけ遅延器 4 の出力を遅延してタップ係数制御回路 1 4 0 に出力する。タップ係数制御回路 1 4 0 はデータ出力端子 1 1 の出力、即ち加算器 1 1 8 の出力、及び遅延器 1 3 0 の出力と、8 通りのシンボル値のうちの最も確からしいシンボル値との誤差を求め、これを用いて L M S アルゴリズムに基づき T F 1 0 1 ~ T F 1 0 6 において使用すべきタップ係数を求め、T F 1 0 1 ~ T F 1 0 6 に対してタップ係数の更新を指示する制御信号を送信し、タップ係数を更新する。

【 0 0 5 0 】

このようにして、実数成分からなる V S B 信号に対しては選択器 1 0 7 ~ 1 1 2 を制御することにより、T F 1 0 1 ~ T F 1 0 6 を実数フィルタとして構成する。即ち、T F 部 1 0 1 a をフィードフォワード型の T F として、また、T F 部 1 0 3 a、T F 部 1 0 4 a、及び T F 部 1 0 5 a を直列接続したフィードバック型の T F として構成する。

【 0 0 5 1 】

図 3 は、本実施の形態 1 に係る波形等化装置の、Q A M 変調方式を用いた実数成分と虚数成分とを有する D T V 信号(以下 Q A M 信号と称す)を入力する場合の動作を説明するためのブロック図である。この図 3 は上記図 1 に示した波形等化装置において、使用しない信号線を点線で示したものである。以下、図 3 を用いて、特に 6 4 値の Q A M 信号を入力する場合の動作について説明する。

【 0 0 5 2 】

まず、フィルタ構成制御端子 1 2 2 に外部から、選択器 1 0 7 ~ 1 1 2 のそれ

ぞれの入力をQAM信号に合わせて切り替えるための制御信号、ここでは例えば“0”を入力し、64値QAM信号の実数成分をデータ入力端子1に入力し、虚数成分をデータ入力端子120に入力する。

【0053】

TF部101a内において、TF101はデータ入力端子1に入力されたQAM信号の実数成分に対してフィルタ処理を行い、フィルタ処理した信号を加算器113に出力するとともに、遅延信号をTF102に出力する。さらに遅延信号をTF部101aの主信号成分として加算器118に出力する。TF部101a内のTF102はTF101の出力する遅延信号に対してフィルタ処理を行い、フィルタ処理した信号を加算器113に出力する。加算器113はTF101及びTF102のフィルタ処理により得られた信号を加算して出力する。

【0054】

選択器107はフィルタ構成制御信号に基づいてデータ入力端子120に入力された信号を選択してTF103に供給する。TF103はデータ入力端子120に入力されたQAM信号の虚数成分に対してフィルタ処理を行い、このフィルタ処理した信号を出力する。符号反転器119はTF103のフィルタ処理された信号を反転し選択器110に出力する。選択器110はフィルタ構成制御信号に基づいて符号反転器119の出力を選択して加算器115に出力する。加算器115は選択器110の出力と加算器113の出力とを加算して出力する。選択器112はフィルタ構成制御信号に基づいて加算器115の出力を選択して加算器118に出力する。加算器118は選択器112の出力とTF部101aの主信号成分とを加算し、加算して得られた信号を波形等化処理したQAM信号の実数成分としてデータ出力端子11から出力する。また、この加算して得られた信号をタップ係数制御回路150に出力する。

【0055】

選択器109は、フィルタ構成制御信号に基づいてデータ入力端子120から入力されるQAM信号の虚数成分を選択してTF部105aに出力する。TF部105aにおいては、TF105はQAM信号の虚数成分に対してフィルタ処理を行いフィルタ処理した信号を加算器114に出力するとともに、遅延信号をT

F 1 0 6 に出力する。T F 部 1 0 5 a 内の T F 1 0 6 はこの遅延信号に対してフィルタ処理を行い、フィルタ処理した信号を加算器 1 1 4 に出力する。また、T F 1 0 5 の遅延信号は T F 部 1 0 5 a の主信号成分として選択器 1 1 1 に出力される。加算器 1 1 4 は T F 1 0 5 がフィルタ処理した信号と、T F 1 0 6 がフィルタ処理した信号とを加算して加算器 1 1 6 に出力する。

【 0 0 5 6 】

選択器 1 0 8 はフィルタ構成制御信号に基づいてデータ入力端子 1 に入力される Q A M 信号の実数成分を選択して T F 1 0 4 に出力する。T F 1 0 4 はフィルタ処理した信号を加算器 1 1 6 に出力する。加算器 1 1 6 は T F 1 0 4 がフィルタ処理した信号と、加算器 1 1 4 の出力とを加算し、加算結果を加算器 1 1 7 に出力する。選択器 1 1 1 は T F 部 1 0 5 a の主信号成分を選択して加算器 1 1 7 に出力する。加算器 1 1 7 は加算器 1 1 6 の出力と選択器 1 1 1 の出力とを加算し、加算結果を波形等化処理した Q A M 信号の虚数成分としてデータ出力端子 1 2 1 から出力する。また、加算結果をタップ係数制御回路 1 5 0 にも出力する。タップ係数制御回路 1 5 0 は加算器 1 1 8 の出力、加算器 1 1 7 の出力、T F 1 0 1 a の各タップの出力、及び T F 部 1 0 5 a の各タップの出力と、Q A M 信号の取りうるシンボル値のうちの最も確からしいシンボル値との誤差を求め、これを用いて L M S アルゴリズムに基づき T F 1 0 1 ~ T F 1 0 6 において使用すべきタップ係数を求め、T F 1 0 1 ~ T F 1 0 6 に対してタップ係数の更新を指示する制御信号を送信し、タップ係数を更新する。

【 0 0 5 7 】

このようにして、実数成分と虚数成分とを有する Q A M 信号に対しては、選択器 1 0 7 ~ 1 1 2 を制御することにより、T F 1 0 1 ~ T F 1 0 6 を複素フィルタとして接続する。

【 0 0 5 8 】

本実施の形態 1 は通常、V S B 信号の波形等化処理にはタップ数の多い T F が必要である。これに対し、Q A M 信号の処理にはタップ数は多くなくてもよいが複素演算のために、複数の T F を並列に設けることが必要となることに鑑み、予め、4 つの T F 部として T F 部 1 0 1、T F 部 1 0 3 a、T F 部 1 0 4 a、及び

TF部105aを用意し、入力がVSB信号の際には4つのTF部の一部であるTF部103a、TF部104a、及びTF105aを直列に接続してタップ数の長いTFとできるようにするとともに、入力がQAM信号の場合は4つのTFを並列に接続することで複素演算に基づくフィルタ処理が可能としており、両方の信号の波形等化処理に利用できるるとともに、それぞれの信号の処理において十分な性能を発揮することができるものである。

【0059】

またTFは通常他の選択器等の他の回路と比較して回路規模が非常に大きく、波形等化装置の回路の大部分を占めるものとなっている。本実施の形態1による波形等化装置では、上述のように入力信号がVSB信号である場合とQAM信号である場合でフィルタ構成制御端子122の入力を変更して、VSB信号である場合はフィルタ全体の構成を実数フィルタとして構成し、QAM信号である場合は複素フィルタに構成することにより、VSB信号とQAM信号とのそれぞれの信号の処理に用いられるTFを共用化することができ、これにより、TFを増加させずにVSB信号とQAM信号とを波形等化処理でき、回路規模をほとんど増加させることなく、VSB信号とQAM信号とを波形等化可能な波形等化装置を提供することが可能となる。

【0060】

(実施の形態2)

図4は本発明の実施の形態2に係る波形等化装置の構成を示すブロック図であり、図において、図1と同一符号は同一または相当する部分を示している。本実施の形態2に係る波形等化装置は、上記実施の形態1において図1を用いて説明した波形等化装置において、TF部101aとTF部105aとの代わりに、TF部401aとTF部405aとを設けるようにし、TF部401a内部のTF401～TF403が出力する遅延信号の1つとTF部405a内部のTF405～407が出力する遅延信号の1つとを選択器409及び選択器410で選択し、これらの選択した遅延信号をそれぞれ、TF部401aとTF部405aとの主信号成分として用いるようにしたものである。

【0061】

TF部401aは16タップのTF401～TF404を備えており、TF401は、データ入力端子1に入力される入力信号を入力として、フィルタ処理により得られる信号を加算器411に出力するとともに、遅延信号をTF402及び選択器409に出力する。TF402は、TF401の遅延信号を入力として、フィルタ処理により得られる信号を加算器411に出力するとともに、遅延信号をTF403及び選択器409に出力する。TF403は、TF402の遅延信号を入力としてフィルタ処理により得られる信号を加算器411に出力するとともに、遅延信号をTF404及び選択器409に出力する。TF404は、TF403の遅延信号を入力として、フィルタ処理により得られる信号を加算器411に出力する。このTF部401aは1つの64タップのTFと同等のものであり、TF402～TF403から選択器409に出力される遅延信号のうちの1つが、TF部401aの主信号成分の役割を果たす。選択器409はセンタータップ制御端子413から入力されるセンタータップ制御信号に基づいてTF401～TF403からそれぞれ選択器409に入力される遅延信号のうちのいずれかを選択して出力する。ここでは例としてセンタータップ制御信号が“0”の場合はTF401の遅延信号を選択し、センタータップ制御信号が“1”の場合はTF402の遅延信号を選択し、センタータップ制御信号が“2”の場合はTF403の遅延信号を選択する。センタータップ制御信号は、予め外部のレジスタ等（図示せず）に格納されており、外部のコントローラ等（図示せず）の指示に基づき、センタータップ制御端子413に入力される。加算器411は各TF401～TF404からフィルタ処理結果として出力される信号を加算して加算器115に出力する。

【0062】

TF部405aは16タップのTF405～TF408を備えており、TF405は、選択器109から出力される信号を入力として、フィルタ処理により得られた信号を加算器412に出力するとともに、遅延信号をTF406及び選択器410に出力する。TF406は、TF405の遅延信号を入力として、フィルタ処理により得られた信号を加算器412に出力するとともに、遅延信号をTF407及び選択器410に出力する。TF407は、TF406の遅延信号を

入力として、フィルタ処理により得られた信号を加算器 4 1 2 に出力するとともに、遅延信号を T F 4 0 8 及び選択器 4 1 0 に出力する。T F 4 0 8 は、T F 4 0 7 の遅延信号を入力として、フィルタ処理により得られた信号を加算器 4 1 2 に出力する。この T F 部 4 0 5 a は 1 つの 6 4 タップの T F と同等のものであり、T F 4 0 5 ~ T F 4 0 8 から選択器 4 1 0 に出力される遅延信号のうちの 1 つが、T F 部 4 0 5 a の主信号成分となる。選択器 4 1 0 は上述したセンタータップ制御端子 4 1 3 から入力されるセンタータップ制御信号に基づいて T F 4 0 5 ~ T F 4 0 7 からそれぞれ選択器 4 1 0 に入力される遅延信号のうちのいずれかを選択する。ここでは例としてセンタータップ制御信号が“0”の場合は T F 4 0 5 の遅延信号を選択し、センタータップ制御信号が“1”の場合は T F 4 0 6 の遅延信号を選択し、センタータップ制御信号が“2”の場合は T F 4 0 7 の遅延信号を選択する。加算器 4 1 2 は各 T F 4 0 5 ~ T F 4 0 8 からフィルタ処理結果として出力される信号を加算して加算器 1 1 6 に出力する。

【 0 0 6 3 】

図 5 は、本実施の形態 2 に係る波形等化装置の、V S B 信号を入力する場合の動作を説明するためのブロック図である。この図 5 は上記図 4 に示した波形等化装置において、使用しない信号線を点線で示したものである。以下、図 5 に基づいて、本実施の形態 2 に係る波形等化装置の V S B 信号を入力した場合の動作について説明する。ここでは 8 値の V S B 信号を入力する場合について説明する。なお、上記実施の形態 1 において示した波形等化装置と同様の部分については動作の説明を省略する。

【 0 0 6 4 】

8 値 V S B 信号をデータ入力端子 1 に入力し、フィルタ構成制御端子 1 2 2 に 1 を入力すると、選択器 1 0 7、1 0 8、1 0 9 は、上記実施の形態 1 において V S B 信号を入力した場合と同様の動作をし、これにより、T F 1 0 3、T F 1 0 4、及び T F 部 4 0 5 が直列に接続される。T F 部 4 0 1 内の T F 4 0 1 はデータ入力端子 1 に入力された 8 値 V S B 信号に対してフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 1 に出力するとともに、遅延信号を T F 4 0 2 に出力し、さらにこの遅延信号を選択器 4 0 9 に出力する。T F 部 4 0 1 内の T F

4 0 2 は T F 4 0 1 から入力された遅延信号に対しフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 1 に出力するとともに、遅延信号を T F 4 0 3 に出力し、さらにこの遅延信号を選択器 4 0 9 に出力する。T F 部 4 0 1 内の T F 4 0 3 は T F 4 0 2 から入力された遅延信号に対しフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 1 に出力するとともに、遅延信号を T F 4 0 4 に出力し、さらにこの遅延信号を選択器 4 0 9 に出力する。T F 4 0 4 は T F 4 0 3 から入力された遅延信号に対しフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 1 に出力する。加算器 4 1 1 は各 T F 4 0 1 ~ T F 4 0 4 から得られるフィルタ処理された信号を加算し、加算器 1 1 5 に出力する。

【 0 0 6 5 】

ここで、センタータップ選択端子 4 1 3 に “ 0 ” を入力した場合は、選択器 4 0 9 は T F 4 0 1 の遅延信号を T F 部 4 0 1 a の主信号成分として選択して出力する。このため、データ入力端子 1 から入力されたデータに対して 1 6 遅延のデータを出し、T F 部 4 0 1 a のセンタータップ、即ち主信号成分を取り出すタップは第 1 6 タップとなる。同様にセンタータップ選択端子 4 1 3 に “ 1 ” を入力した場合は、選択器 4 0 9 は T F 4 0 2 の遅延信号を T F 部 4 0 1 a の主信号として選択して出力し、T F 部 4 0 1 a のセンタータップが第 3 2 タップとなる。また、センタータップ選択端子 4 1 3 に “ 2 ” を入力した場合は、選択器 4 0 9 は T F 4 0 3 の遅延信号を T F 部 4 0 1 a の主信号として選択して出力し、T F 部 4 0 1 a のセンタータップが第 4 8 タップとなる。このようにして、選択器 4 0 9 はセンタータップ制御端子 4 1 3 に入力されたセンタータップ制御信号を受け、このセンタータップ制御信号に基づいて、T F 4 0 1 ~ T F 4 0 3 がそれぞれ出力する遅延信号の 1 つを、T F 部 4 0 1 a の主信号として選択して、加算器 1 1 8 に出力する。

【 0 0 6 6 】

T F 部 4 0 5 a 内の T F 4 0 5 は選択器 1 0 9 が選択した T F 1 0 4 の遅延出力に対してフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 2 に出力するとともに、遅延信号を T F 4 0 6 に出力する。T F 4 0 6 は T F 4 0 5 から入力された遅延信号に対しフィルタ処理を行い、フィルタ処理した信号を加算器 4

1 2 に出力するとともに、遅延信号を T F 4 0 7 に出力する。T F 4 0 7 は T F 4 0 6 から入力された遅延信号に対しフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 2 に出力するとともに、遅延信号を T F 4 0 8 に出力する。T F 4 0 8 は T F 4 0 7 から入力された遅延信号に対しフィルタ処理を行い、フィルタ処理した信号を加算器 4 1 2 に出力する。加算器 4 1 2 は各 T F 4 0 1 ~ T F 4 0 4 から得られるフィルタ処理された信号を加算し、加算器 1 1 6 に出力する。

【 0 0 6 7 】

選択器 1 1 0、選択器 1 1 1、及び選択器 1 1 2 は上記実施の形態 1 において V S B 信号を入力した場合と同様の動作をし、T F 4 0 1、T F 4 0 2、T F 4 0 3、T F 4 0 4、T F 1 0 3、T F 1 0 4、T F 4 0 5、T F 4 0 6、T F 4 0 7、及び T F 4 0 8 のフィルタ処理した出力と、T F 部 4 0 1 a の主信号成分である選択器 4 0 9 の出力とを加算した信号が加算器 1 1 8 の出力として遅延器 4 及びデータ出力端子 1 1 に供給される。これにより、波形等化された V S B 信号がデータ出力端子 1 1 から出力される。

【 0 0 6 8 】

図 6 は、本実施の形態 2 に係る波形等化装置の、Q A M 信号を入力する場合の動作を説明するためのブロック図である。この図 6 は上記図 4 に示した波形等化装置において、使用しない信号線を点線で示したものである。以下、図 6 に基づいて、本実施の形態 2 に係る波形等化装置における、Q A M 信号を入力した場合の動作について説明する。ここでは 6 4 値の Q A M 信号を入力する場合について説明する。なお、上記実施の形態 1 において示した波形等化装置と同様の部分については動作の説明を省略する。

【 0 0 6 9 】

6 4 値 Q A M 信号の実数成分をデータ入力端子 1 に入力し、虚数成分をデータ入力端子 1 2 0 に入力し、フィルタ構成制御端子 1 2 2 に“0”を入力する。T F 部 4 0 1 a は上述した V S B 信号に対する場合と同様に、各 T F 4 0 1 ~ T F 4 0 4 によりフィルタ処理した結果を加算器 4 1 1 に出力するとともに、各 T F 4 0 1 ~ T F 4 0 3 の遅延出力を選択器 4 0 9 に出力する。加算器 4 1 1 は各 T

F401～TF404によりフィルタ処理して得られた信号を加算して加算器115に出力する。TF部405aはTF部401aと同様に、各TF405～TF408によりフィルタ処理した結果を加算器412に出力するとともに、各TF405～TF407の遅延出力を選択器410に出力する。加算器412は各TF405～TF408によりフィルタ処理して得られた信号を加算して加算器115に出力する。

【0070】

このとき、選択器409は入力信号がVSB信号の場合と同様に、センタータップ選択端子413に入力されたセンタータップ制御信号に基づきTF401～TF403がそれぞれ出力する遅延信号の1つを、TF部401aの主信号成分として選択して、加算器118に出力する。

【0071】

また、上述した選択器409と同様に選択器410はセンタータップ選択端子413に入力されたセンタータップ制御信号に基づきTF405～TF407がそれぞれ出力する遅延信号の1つを、TF部405aの主信号成分として選択して、選択器111に出力する。

【0072】

例えば、“2”を入力した場合は、選択器409はTF403の遅延出力を選択して出力するためデータ入力端子1から入力されたデータに対して48遅延のデータを出力する。同時に、選択器410はTF407の遅延出力を選択して出力するためデータ入力端子120から入力されたデータに対して48遅延のデータを出力する。このため実数成分、及び虚数成分のセンタータップ位置は第48タップとなる。同様にセンタータップ選択端子413に“0”を入力した場合は、センタータップ位置が第16タップとなり、センタータップ選択端子413に“1”を入力した場合は、センタータップ位置が第32タップとなる。これにより、センタータップ制御信号により、TF部405aのセンタータップ位置が制御される。

【0073】

選択器107、選択器108、及び選択器109は図3において示した実施の

形態 1 に係る波形等化装置において Q A M 信号を入力した場合と同様の動作をし、これにより、T F 部 4 0 1 a、T F 部 1 0 3 a、T F 部 1 0 4 a、及び T F 4 0 5 a が複素フィルタとして接続される。選択器 1 1 0 及び選択器 1 1 2 は実施の形態 1 において図 3 に示した波形等化装置において Q A M 信号を入力した場合と同様に動作し、選択器 1 1 1 は選択器 4 1 0 の出力を選択して加算器 1 1 7 に供給する。これにより、T F 部 4 0 1 a と T F 部 1 0 3 a とのそれぞれのフィルタ処理により得られた信号と、Q A M 信号の実数成分の主信号成分である選択器 4 0 9 の出力とを加算した信号が加算器 1 1 8 の出力としてデータ出力端子 1 1 に供給され、T F 部 1 0 4 a と T F 部 4 0 5 a とのそれぞれのフィルタ処理により得られた信号と、Q A M 信号の虚数成分の主信号成分である選択器 4 1 0 の出力とを加算した信号が加算器 1 1 7 の出力としてデータ出力端子 1 2 1 に供給される。これにより、波形等化された Q A M 信号の実数成分がデータ出力端子 1 1 から出力され、波形等化された Q A M 信号の虚数成分がデータ出力端子 1 2 1 から出力される。

【 0 0 7 4 】

以上のように、本実施の形態 2 においては、センタータップ制御端子 4 1 3 にセンタータップ位置を指定するセンタータップ制御信号を入力することにより、センタータップの位置を簡易に変更して、等化範囲を変更でき、V S B 信号を入力した場合でも、Q A M 信号を入力した場合でも入力信号の状況に応じた最適なタップ配置が得られる波形等化装置を提供することができる。

【 0 0 7 5 】

なお、本実施の形態 2 では、選択可能なセンタータップの位置を 1 6、3 2、4 8 タップとしたが、本発明においては、選択可能なセンタータップ位置をこれら以外の位置に設定してもよい。また、センタータップの選択も 3 通りに限られるものではなく、2 箇所以上の箇所であれば良い。この場合、2 箇所以上のタップ位置から遅延信号を取り出すようにし、選択器がセンタータップ制御信号に基づいて、これらのタップ位置の 1 つから選択的に遅延信号を取り出すようにすれば上記実施の形態 2 と同様の効果を奏する。

【 0 0 7 6 】

例えば、本実施の形態 2 において、TF 部 4 0 1 a 及び TF 部 4 0 5 b のそれぞれの代わりに、それぞれが n 個 (n は 3 以上の整数) の TF を備えており、各 TF が m ($1 \leq m \leq n - 1$: m は整数) 番目の TF の遅延出力が $m + 1$ 番目の入力となるよう接続されている TF 部を設け、加算器 4 1 1 及び加算器 4 1 2 の代わりに、それぞれの TF 部の各 TF のフィルタ処理出力を加算して加算機 1 1 5 及び加算器 1 1 6 に出力する 2 つの加算器をそれぞれ設け、選択器 4 0 9 及び選択器 4 1 0 の代わりに、各 TF 部の 1 番目から $n - 1$ 番目の TF それぞれの遅延出力を個別に入力してその 1 つを、センタータップ制御信号に基づいて選択して出力する 2 つの選択器を設けるようにしても良く、このような場合においてもセンタータップ制御信号によりセンタータップ位置を変化させることができ、上記実施の形態 2 と同様の効果を奏する。

【 0 0 7 7 】

(実施の形態 3)

図 7 は本発明の実施の形態 3 に係る波形等化装置の構成を示すブロック図であり、図において、図 1 と同一符号は同一または相当する部分を示している。TF 部 7 0 1 a は 1 6 タップの TF 7 0 1 及び TF 7 0 2 と、3 2 タップの TF 7 0 3 とを備えており、TF 7 0 1 は、データ入力端子 1 に入力される入力信号を入力として、フィルタ処理により得られた信号を加算器 7 1 1 に出力するとともに、遅延信号を TF 7 0 2 及び加算器 1 1 8 に出力する。TF 7 0 2 は、TF 7 0 1 の遅延信号を入力として、フィルタ処理により得られた信号を加算器 7 1 1 に出力するとともに、遅延信号を TF 7 0 3 に出力する。TF 7 0 3 は、TF 7 0 2 の遅延信号を入力として、フィルタ処理により得られた信号を加算器 7 1 1 に出力する。また、この TF 7 0 3 には外部からフィルタ動作制御端子 7 1 5 を通じて動作制御信号が入力され、その動作状態はこの動作制御信号により切り替えられる。加算器 7 1 1 は TF 7 0 1 ~ TF 7 0 3 から出力されるフィルタ処理結果を加算して加算器 1 1 5 に出力する。

【 0 0 7 8 】

TF 部 7 0 4 a は 3 2 タップの TF 7 0 4 及び TF 7 0 5 を備えており、TF 7 0 4 は、選択器 1 0 7 の出力を入力として、フィルタ処理により得られた信号

を加算器 7 1 2 に出力するとともに、内部の遅延回路により入力信号を遅延して得られる遅延信号を T F 7 0 5 に出力する。T F 7 0 5 は、T F 7 0 4 の遅延信号を入力として、フィルタ処理により得られた信号を加算器 7 1 2 に出力するとともに、遅延信号を選択器 1 0 8 に出力する。この T F 7 0 5 にはフィルタ動作制御端子 7 1 5 を通じて動作制御信号が入力され、その動作状態はこの動作制御信号により切り替えられる。加算器 7 1 2 は T F 7 0 4 及び T F 7 0 5 から出力されるフィルタ処理結果を加算して選択器 1 1 0 及び符号反転器 1 1 9 に出力する。

【 0 0 7 9 】

T F 部 7 0 6 a は 3 2 タップの T F 7 0 6 及び T F 7 0 7 を備えており、T F 7 0 6 は、選択器 1 0 8 の出力を入力として、フィルタ処理により得られる信号を加算器 7 1 3 に出力するとともに、遅延信号を T F 7 0 7 に出力する。T F 7 0 7 は、T F 7 0 6 の遅延信号を入力として、フィルタ処理により得られる信号を加算器 7 1 3 に出力するとともに、内遅延信号を選択器 1 0 9 に出力する。この T F 7 0 7 にはフィルタ動作制御端子 7 1 5 を通じて動作制御信号が入力され、その動作状態はこの動作制御信号により切り替えられる。加算器 7 1 3 は T F 7 0 6 及び T F 7 0 7 から出力される積和演算結果を加算して加算器 1 1 6 に出力する。

【 0 0 8 0 】

T F 部 7 0 8 a は 1 6 タップの T F 7 0 8 及び T F 7 0 9 と、3 2 タップの T F 7 1 0 とを備えており、T F 7 0 8 は、選択器 1 0 9 の出力を入力として、フィルタ処理により得られる信号を加算器 7 1 4 に出力するとともに、遅延信号を T F 7 0 9 及び選択器 1 1 1 に出力する。T F 7 0 9 は、T F 7 0 8 の遅延信号を入力として、フィルタ処理により得られる信号を加算器 7 1 4 に出力するとともに、遅延信号を T F 7 1 0 に出力する。T F 7 1 0 は、T F 7 0 9 の遅延信号を入力として、フィルタ処理により得られる信号を加算器 7 1 1 に出力する。また、この T F 7 1 0 には外部からフィルタ動作制御端子 7 1 5 を通じて動作制御信号が入力され、その動作状態はこの動作制御信号により切り替えられる。加算器 7 1 4 は T F 7 0 8 ~ T F 7 1 0 から出力されるフィルタ処理結果を加算して

加算器 1 1 6 に出力する。

【 0 0 8 1 】

フィルタ動作制御端子 7 1 5 に入力される動作制御信号は、予め外部のレジスタ等（図示せず）に格納されており、外部のコントローラ等（図示せず）の指示に基づき、フィルタ動作制御端子 7 1 5 に入力される。ここでは、動作制御信号としては、TF 7 0 3, TF 7 0 5, TF 7 0 7, 及び TF 7 1 0 を、VSB 信号に対して波形等化を行う際には稼動状態とする信号が、また、QAM 信号に対して波形等化を行う際には停止状態とする信号が出力されるようにする。

【 0 0 8 2 】

本実施の形態 3 に係る波形等化装置は、上記実施の形態 1 において説明した波形等化装置において、各 TF 部を、TF 部 7 0 1 a, TF 部 7 0 4 a、TF 部 7 0 6 a, TF 部 7 0 8 a としたものであり、VSB 信号の入力の際には、フィルタ動作制御端子 7 1 5 には TF 7 0 3, TF 7 0 5, TF 7 0 7, 及び TF 7 1 0 を稼動状態とする信号として例えば“0”が入力され、TF 部 7 0 1 a, TF 部 7 0 4 a、TF 部 7 0 6 a, TF 部 7 0 8 a は、上記実施の形態 1 の各 TF 部及び TF と同様に 6 4 タップの TF として機能する。また、VSB 信号を入力する際のフィルタ構成制御端子 1 2 2 に入力するフィルタ構成制御信号としては上記実施の形態 1 と同様の信号が入力される。このため、VSB 信号に対する波形等化処理時には、図 2 を用いて説明したように、上記実施の形態 1 の波形等化装置において VSB 信号に対して波形等化処理を行う場合と同様の動作が行われる。このため、VSB 信号を入力した際の波形等化装置の詳細な動作についてはここでは説明を省略する。

【 0 0 8 3 】

図 8 は、本実施の形態 3 に係る波形等化装置の、QAM 信号を入力する場合の動作を説明するためのブロック図であり、この図 8 は、上記図 7 に示した波形等化装置において、使用しない信号線を点線で示したものである。以下、図 8 に基づいて、本実施の形態 3 に係る波形等化装置における、QAM 信号を入力した場合の動作について説明する。ここでは 6 4 値の QAM 信号を入力する場合について説明する。なお、上記実施の形態 1 において示した波形等化装置と同様の部分

については動作の説明を省略する。

【0084】

64 値 QAM 信号の実数成分をデータ入力端子 1 に入力し、虚数成分をデータ入力端子 120 に入力し、フィルタ構成制御端子 122 に“0”を入力する。選択器 107、選択器 108、及び選択器 109 は図 3 に示した上記実施の形態 1 の QAM 信号を入力した場合と同様の動作をし、これにより、TF 部 701a、TF 部 704a、TF 部 706a、及び TF 部 708a が複素フィルタとして接続される。また、選択器 110 及び選択器 112 は図 3 に示した上記実施の形態 1 の QAM 信号を入力した場合と同様の動作をする。また、選択器 111 は TF 708 の遅延出力を選択して加算器 117 に供給する。これにより、TF 部 701a、TF 部 704a によりフィルタ処理した信号と、QAM 信号の実数成分の主信号成分である TF 701 の遅延出力とを加算した信号が加算器 118 からデータ出力端子 11 に出力され、TF 部 706a 及び TF 部 708a によりフィルタ処理した信号と QAM 信号の虚数成分の主信号成分である TF 708 の遅延出力とを加算した信号が加算器 117 からデータ出力端子 121 に出力される。

【0085】

ここで、QAM 信号の処理時には TF 部 701a、TF 部 704a、TF 部 706a、及び TF 部 708a において、それぞれのタップ全体を使用しなくても十分なフィルタ特性が得られる場合が多い。この場合には、フィルタ動作制御端子 715 には TF 703、TF 705、TF 707、及び TF 710 を停止状態とする信号として例えば“1”が入力し、TF 703、705、707、710 はその動作を停止し、フィルタ処理した信号として 0 を出力する。このため、TF 部 701a、TF 部 704a、TF 部 706a、TF 部 708a は、タップ長が 32 タップの TF として機能する。

【0086】

また、フィルタ特性上、各 TF 部 701a、TF 部 704a、TF 部 706a、TF 部 708a に 32 タップより長いタップ数が必要な場合には、フィルタ動作制御端子 715 にこれらを稼動状態とする信号“0”を入力するよう外部のレジスタ等の設定値を変更すればよい。

【0087】

以上のようにして、本実施の形態3においては、入力信号に応じてフィルタ動作制御端子715の入力を変更することで、TF703、705、707、710の動作状態を切替えて、内部を構成するTF部のタップ長を32タップと64タップに切替えることができる。これにより、TF部のタップ数を入力信号に応じて増減させて、波形等化処理のフィルタ特性を容易に変更することができるとともに、不要なTFを使用しないようにして、不要な消費電力を削減できる波形等化装置を提供することが可能となる。

【0088】

なお、本実施の形態3では、選択可能なタップ長を32、64タップとしたが、変更可能なタップ長はこれらに限られるものではない。また、センタータップ位置を16タップの位置としているが、この値もこれに限られるものではない。

【0089】

例えば、本実施の形態3において、TF部701a及びTF部708aの代わりに、 n 個（ n は2以上の整数）のTFを備え、各TFが m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されているTF部をそれぞれ設け、TF部704a及びTF部706aの代わりに、 s 個（ s は2以上の整数）のTFを備え、各TFが t （ $1 \leq t \leq s-1$ ： t は整数）番目のTFの遅延出力が $t+1$ 番目のTFの入力となるよう接続されているTF部をそれぞれ設け、上記各TF部の、それぞれを構成する各TFのうちの1個以上のTFを、フィルタ動作制御信号により動作状態を稼動状態と停止状態とのいずれかに切り替えられるようにしてもよく、このような場合においても上記実施の形態3と同様の効果を奏する。

【0090】

また、本実施の形態3においては、TF部701a、TF部704a、TF部706a及びTF部708aのうちの少なくとも1つ以上を、 n 個（ n は2以上の整数）のTFを備え、各TFが m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されている構成のTF部と置き換えて、このTF部の各TFのうちの1個以上の動作状態をフィルタ動作制御

信号により稼動状態と停止状態とのいずれかに切り替えられるようにしてもよい。

【 0 0 9 1 】

（実施の形態 4）

図 1 0 は本発明の実施の形態 4 に係る波形等化装置の構成を示すブロック図であり、図において、図 1 と同一符号は同一または相当する部分を示している。波形等化装置は、実数成分のみを有する信号である V S B 信号が入力されるデータ入力端子 1 と、データ入力端子 1 から入力されるデータに対して波形等化処理を行うデジタルフィルタ部 1 5 と、デジタルフィルタ部 1 5 により波形等化処理された V S B 信号を出力するデータ出力端子 1 1 と、デジタルフィルタ部 1 5 から得られるデータに基づいて、デジタルフィルタ部 1 5 内において用いられるタップ係数を算出し、これをデジタルフィルタ部 1 5 に出力するタップ係数制御部 1 0 とを備えている。

【 0 0 9 2 】

デジタルフィルタ部 1 5 内において、3 2 タップ T F 2 は、データ入力端子 1 に入力される信号を入力とし、内部の 3 2 タップからそれぞれ得られる信号と、各タップに対応してタップ係数制御部 1 0 により与えられたタップ係数との積和演算を行い、演算結果をフィルタ処理により得られた信号として加算器 9 に出力する。また入力された信号を遅延して得られた遅延信号を 3 2 タップ T F 3 及び加算器 9 に出力する。T F 3 は、T F 2 から出力された遅延信号を入力とし、フィルタ処理により得られた信号を加算器 9 に出力する。この T F 2 と T F 3 とは 1 つの 6 4 タップ T F と同等のものであり、T F 2 から出力される遅延信号を加算器 9 に 6 4 タップ T F のセンタータップの信号、即ち主信号成分として出力している。遅延器 4 は加算器 9 から出力される信号を 3 2 シンボル分遅延してスライサ 5 に出力する。スライサ 5 は遅延器 4 の出力信号を 8 値のいずれかの最も近い値にマッピングして出力し、入力される信号のノイズの後段の処理に対して与える影響をなくす。

【 0 0 9 3 】

6 4 タップの T F 6 は、スライサ 5 から出力された信号を入力とし、フィルタ

処理により得られた信号を加算器 9 に出力するとともに、遅延信号を 64 タップ T F 7 に出力する。T F 7 は、T F 6 から出力された遅延信号を入力とし、フィルタ処理により得られた信号を加算器 9 に出力するとともに、遅延信号を 64 タップ T F 8 に出力する。64 タップ T F 8 は、T F 7 から出力された遅延信号を入力とし、フィルタ処理により得られた信号を加算器 9 に出力する。ここでは直列に接続した 3 つの T F 6、T F 7、T F 8 を 1 つの 192 タップ T F として使用している。また、T F 6、T F 7、T F 8 内の各タップから得られる信号がタップ係数制御部 10 に対して出力されている。加算器 9 は T F 2、T F 3、T F 6、T F 7、及び T F 8 から得られる積和演算結果を加算して得られた信号を、データ出力端子 11 から波形等化処理した V S B 信号として出力するとともに、この加算して得られた信号をタップ係数制御部 10 及び遅延器 4 に出力する。タップ係数制御部 10 は加算器 9 と T F 6、T F 7 及び T F 8 の各タップの出力とに基づいて、T F 2、T F 3、T F 6、T F 7、及び T F 8 の内部の各タップに対応したタップ係数を算出し、これを用いてタップ係数の更新制御を行う。

【0094】

次に動作について図 10 を用いて説明する。まず、V S B 信号を入力信号としてデータ入力端子 1 に入力すると、T F 2 及び T F 3 により、タップ係数制御部 10 により設定されるタップ係数に基づいて、波形等化のフィルタ処理が行われ、処理結果として、T F 2 及び T F 3 それぞれの内部のタップの出力の積和演算結果、及び T F 2 により入力信号を遅延して得られた遅延信号が、加算器 9 に送られる。加算器 9 は入力される信号を加算し、加算により得られた信号を出力信号として、データ出力端子 11 から出力するとともに、タップ係数制御部 10 及び遅延器 4 に出力する。遅延部 4 は 32 シンボル分だけ出力信号を遅延させてスライサ 5 に出力する。スライサ 5 は遅延器 4 の出力を V S B 信号の取りうる 8 値のいずれか 1 番近い値にマッピングすることで、その後の処理における信号のノイズの影響をなくす。T F 6、T F 7、及び T F 8 はスライサ 5 の出力を順次フィルタ処理し、その処理結果を加算器 9 に出力する。14 は、T F 6、T F 7、及び T F 8 内の各タップの出力並びに加算器 9 の出力と、V S B 信号の取りうる 8 通りのシンボル値の最も確からしいシンボル値との誤差を求め、これらを用い

てLMS (Least MeanSquare)アルゴリズムに基づきTF 2、TF 3、TF 6、TF 7、及びTF 8のタップ係数の係数更新を行う。

【0095】

次にタップ係数制御部10の動作について説明する。タップ係数制御部10では、TF 6、TF 7、及びTF 8内の各タップ並びに加算器9から入力される信号と8通りのシンボル値の最も確からしいシンボル値との誤差を求め、LMS (Least MeanSquare)アルゴリズムに基づきTF 2、TF 3、TF 6、TF 7、及びTF 8内の各タップに対応したタップ係数の更新を行う。

【0096】

TF 2、TF 3のタップ i (i は正の整数)のタップ係数 C_i の n (n は正の整数)回目の更新を行なうLMSアルゴリズムとして、下記の式6に示すアルゴリズムで係数更新を行う。

$$C_i(n+1) = C_i(n) - \alpha \times e_n \times d_i \quad \dots \text{式6}$$

このとき、 α は係数更新量を決定する固定の定数ステップサイズを、 e_n は出力信号の誤差を、 d_i はタップ i のデータをそれぞれ示し、 $-\alpha \times e_n \times d_i$ が係数更新量を示す。

【0097】

ここで、TF 6、TF 7、及びTF 8のタップ係数を求める際には、スライサ5を経てTF 6、TF 7、及びTF 8に入力され、これらの各タップから出力されるデータ d_i' を用いて以下に示す式7に従ってタップ係数 C_i の n (n は正の整数)回目の係数更新を行う。

$$C_i(n+1) = C_i(n) - \alpha \times e_n \times d_i' \quad \dots \text{式7}$$

このとき、 α は係数更新量を決定する固定の定数ステップサイズを、 e_n は出力信号の誤差をそれぞれ示し、 $-\alpha \times e_n \times d_i'$ が係数更新量を示す。ここでは d_i' は上述した d_i のデータをVSB信号のとりうる8値のうちの最も確からしい値にマッピングした推定値となり、これを用いて上記式7より適切な係数更新が可能となる。

【0098】

本実施の形態4においては、TF 6、TF 7、及びTF 8のタップ係数を求め

る際には、スライサ5により8値化された信号をTF6、TF7、及びTF8に順次入力することでTF6、TF7、及びTF8の各タップから得られるデータ d_i' を用いて上記式7に基づいてTF6、TF7、及びTF8のタップ係数の更新を行っている。上述した従来の技術においてはTF6、TF7、及びTF8のタップ係数を求めるためにスライサを通さない出力遅延データである d_i が必要であり、このため192遅延の遅延器が必要であったが、本実施の形態4においてはこのような係数計算用に出力信号を蓄えておく192遅延の遅延器を不要とすることができる。この結果、素子サイズの大きい遅延器を削減して、コストを大幅に削減した波形等化装置を提供することが可能となる。

【0099】

(実施の形態5)

図9は本実施の形態5における波形等化装置の構成を示すブロック図であり、図において、図10と同一符号は同一または相当する部分を示している。

図9において、モード入力端子901に外部から波形等化装置が通常動作モードかテストモードかを決定するモード入力信号S901が入力される。このモード入力信号S901は予め外部のレジスタ等(図示せず)に格納されており、外部のコントローラ等(図示せず)の指示に基づき、モード入力端子901に入力される。テスト信号発生部902はテスト用のインパルス信号S902を発生して入力信号選択部903に出力する。データ入力端子1とデジタルフィルタ部15との間に設けられた入力信号選択部903は、モード入力端子901から入力されるモード入力信号S901の値に基づいて、データ入力端子1から入力された入力信号とテスト信号発生部が発生したテスト信号S902のいずれか一方を選択して選択信号S903として出力する。904は、モード入力端子901から入力されるモード入力信号S901に基づいて、通常動作時は上記実施の形態3に示した同様にタップ係数の更新を行うとともに、テストモード時にはタップ係数の更新を停止する。

【0100】

次に、VSB信号を入力した場合の波形等化装置の動作について説明する。

まず、通常動作モードについて説明する。モード入力端子901にモード入力

信号S901として“0”を入力した場合、入力選択部903はデータ入力端子1に入力される8値VSB信号を選択して選択信号S903として出力する。デジタルフィルタ部15は、この選択信号S903に対して上記実施の形態4と同様にフィルタ処理を行う。タップ係数制御部904はデータ出力端子11から出力される出力信号やTF6～TF8の各タップの出力に基づいて、上記実施の形態4と同様に、デジタルフィルタ部15のタップ係数を適応的に更新する。

【0101】

次に通常動作モードからテストモードに変更する場合について説明する。モード入力端子901に入力するモード入力信号S901の値を“1”に変更すると、入力信号選択部903はテスト信号発生部902の出力するインパルス信号S902を選択して選択信号S903として出力する。デジタルフィルタ部15は、この選択信号S903に対して上記実施の形態4と同様にフィルタ処理を行う。タップ係数904は、モード入力信号S901に基づいて、デジタルフィルタ部15のタップ係数の更新を停止する。デジタルフィルタ部15にはテスト信号発生部902が発生したインパルス信号S902が入力されるため、モード入力端子901のモード入力信号S901を“1”に変更した時点でのデジタルフィルタ部15のインパルス応答が出力端子11から出力される。

【0102】

上記実施の形態4に示した波形等化装置においては、デジタルフィルタ部15の出力に基づいて、タップ係数制御部904がタップ係数を随時更新していく。このため、VSB信号の受信状況に応じて各タップ係数も随時変化し、フィルタ特性も変化する。このため、所望の時点におけるタップ係数を求めることが非常に困難であった。しかしながら、本実施の形態5に示す波形等化装置においては、通常動作途中でモード入力端子901の入力を変更し、出力端子11からデジタルフィルタ部15のインパルス応答を出力することにより、このインパルス応答に基づいてその切り替え時点におけるデジタルフィルタ部のタップ係数を簡単に求めることが可能となる。したがって、本実施の形態5においては、所望の時点のデジタルフィルタ部のタップ係数を容易に外部に出力可能であり、デジタルフィルタ部のフィルタ特性を容易に観測できる波形等化装置を提供する

ことが可能となる。

【0103】

なお、本実施の形態5においては、上記実施の形態1に示した波形等化装置においてテスト信号発生部を設け、モード入力信号に基づいて、このテスト信号発生部から出力されるインパルス信号をディジタルフィルタ部に入力することにより、各TFのタップ係数を求められるようにしたが、本発明は、上記実施の形態1～実施の形態3において説明した波形等化装置等の他の波形等化装置においても適用できるものであり、このような場合においても上記実施の形態5と同様の効果を奏する。

【0104】

例えば図9に示した波形等化装置において192シンボル分だけ遅延可能な遅延器を設け、TF6～TF8の各タップの出力の代わりに、遅延器4の出力信号をこの192シンボル分遅延可能な遅延器で遅延した信号をタップ係数制御部904に入力し、タップ係数制御部904がこの遅延した信号とデータ出力端子11から出力される出力信号とに基づいて、各タップに対するタップ係数を制御するようにしてもよく、このような場合においても上記実施の形態5と同様の効果を奏する。

【0105】

なお、上記実施の形態1～実施の形態5においては、16タップや32タップ、64タップのTFを用いるようにしたが、本発明においては、波形等化の対象となる信号に応じて他のタップ数のTFを用いるようにしてもよく、このような場合においても上記各実施の形態と同様の効果を奏する。

【0106】

【発明の効果】

以上のように、本発明（請求項1）によれば、実数成分のみをもつディジタル入力信号が入力される第1の入力端子と、虚数成分のみをもつディジタル入力信号が入力される第2の入力端子と、第1及び第2の出力端子と、波形等化のフィルタ処理を行う第1ないし第4のトランスバーサルフィルタ（以下、TFと称す）部と、入力される信号を遅延させて出力する遅延手段と、上記第1ないし第4

のTF部のタップ係数を制御する第1及び第2のタップ係数制御手段とを備え、上記第1の入力端子のみに信号を入力する場合には、上記第1ないし第4のTF部を、上記第1の入力端子に入力される信号を上記第1のTF部に入力し、上記第1の出力端子から出力する信号を上記遅延手段により遅延した信号を上記第2のTF部に入力し、該第2のTF部の遅延出力を上記第3のTF部に入力し、該第3のTF部の遅延出力を上記第4のTF部に入力し、上記各第2ないし第4のTF部によりフィルタ処理した信号を上記第1のTF部のフィルタ処理により得られた信号と上記第1のTF部の主信号成分とに加算して上記第1の出力端子から出力するよう接続して、上記第1の出力端子の出力に基づいて上記第1のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数を制御しながら、上記第1の入力端子に入力される入力信号の波形等化処理を行い、得られた信号を上記第1の出力端子から出力し、上記第1の入力端子と第2の入力端子との両方に信号を入力する場合には、上記第1ないし第4のTF部を、上記第1の入力端子に入力される信号を上記第1及び第3のTF部に入力し、上記第2の入力端子に入力される信号を上記第2及び第4のTF部に入力し、上記第1のTF部のフィルタ処理した信号から上記第2のTF部のフィルタ処理した信号を減算した値に上記第1のTF部の主信号成分を加算し上記第1のデータ出力端子から出力し、上記第3のTF部のフィルタ処理した信号と上記第4のTF部のフィルタ処理した信号と該第4のTF部の主信号成分とを加算して上記第2の出力端子から出力するよう接続して、上記第1及び第2の出力端子からの出力に基づいて上記第2のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数を制御しながら、上記第1ないし第2の入力端子に入力される入力信号の波形等化処理を行い、得られた信号の実数成分を上記第1の出力端子から出力するとともに、得られた信号の虚数成分を上記第2の出力端子から出力するようにしたから、波形等化装置の中で最も回路規模の大きいTFを共用することができ、回路規模の大幅な増加なしに、VSB信号のような実数成分のみからなる信号とQAM信号のような実数成分と虚数成分とを有する信号との双方を波形等化可能な波形等化装置を提供できる効果がある。

【0107】

また、本発明（請求項 2）によれば、請求項 1 記載の波形等化装置において、上記第 1 及び第 4 の T F 部は、それぞれ n 個（ n は 3 以上の整数）の T F を備え、該各 T F は m （ $1 \leq m \leq n - 1$: m は整数）番目の T F の遅延出力が $m + 1$ 番目の T F の入力となるよう接続されており、上記第 1 の T F 部内の 1 番目から $n - 1$ 番目の T F それぞれの遅延出力を個別に入力し、該複数の遅延出力の 1 つを、外部から入力されるセンタータップ制御信号に基づいて選択し、上記第 1 の T F 部の主信号成分として出力する第 1 の選択手段と、上記第 4 の T F 部内の 1 番目から $n - 1$ 番目の T F それぞれの遅延出力を入力とし、該複数の遅延出力の 1 つを、上記センタータップ制御信号に基づいて選択し、上記第 4 の T F 部の主信号成分として出力する第 2 の選択手段とを備えるようにしたから、センタータップ位置を任意に変更可能とすることができ、S B 信号のような実数成分のみからなる信号に対しても、Q A M 信号のような実数成分と虚数成分とを有する信号に対しても、入力信号の状況に応じて等化範囲を変更して最適なタップ配置とすることができる波形等化装置を提供できる効果がある。

【 0 1 0 8 】

また、本発明（請求項 3）によれば、実数成分のみを持つデジタル入力信号が入力される第 1 の入力端子と、虚数成分のみを持つデジタル入力信号が入力される第 2 の入力端子と、上記第 1 の入力端子に入力される入力信号を入力として波形等化のためのフィルタ処理した信号と、該フィルタ処理における主信号成分とを出力する第 1 の T F 部と、第 1 及び第 2 の入力を有し、該第 2 の入力を上記第 2 の入力端子に入力される入力信号とし、上記第 1 及び第 2 の入力のいずれか一方を選択して出力する第 1 の選択回路と、該第 1 の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と入力信号を遅延させた遅延信号とを出力する第 2 の T F 部と、上記第 1 の入力端子に入力される入力信号と上記第 2 の T F 部の遅延信号のいずれか一方を選択して出力する第 2 の選択器と、該第 2 の選択回路の出力を入力として波形等化のためのフィルタ処理した信号と入力信号を遅延させた遅延信号とを出力する第 3 の T F 部と、上記第 2 の入力端子に入力される入力信号と上記第 3 の T F 部の遅延信号のいずれか一方を選択して出力する第 3 の選択器と、該第 3 の選択回路の出力を入力として波形等化のための

フィルタ処理した信号と、該フィルタ処理における主信号成分とを出力する第4のTF部と、上記第2のTF部のフィルタ処理により得られた信号と該フィルタ処理した信号を反転させた信号のいずれか一方を選択して出力する第4の選択器と、該第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号と、上記第4のTF部の出力する主信号成分のいずれか一方を選択して出力する第5の選択器と、上記第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号と、上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号のいずれか一方を選択して出力する第6の選択器と、該第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号を出力する第1の出力端子と、上記第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号を遅延させて、該遅延させて得られた信号を上記第1の選択器の第1の入力となるよう出力する遅延器と、上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号を出力する第2の出力端子と、上記第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号に基づいて、上記第1ないし第4のTF部のタップ係数を制御する第1のタップ係数制御手段と、上記第6の選択器の出力と上記第1のTF部の主信号成分とを加算した信号、及び上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得られた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号に基づいて上記第1ないし第4のTF部のタップ係数を制御する第2のタップ係数制御手段と、を備え、上記第1の入力端子のみに信号を入力する場合には、上記第1の選択器は、上記遅延器からの入力を選択して出力し、上記第2の選択器は、上記第2のTF部の遅延信号を選択して出力し、上記第3の選択器は、上記第3のTF部の遅延信号を選択して出力し、上記第4の選択器は、上記第2のTF部のフィルタ処理により得られた信号を選択して出力し、上記第5の選択器は、上記第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第6の選択器は、上記第5の選択器の出力と上記第3のTF部のフィルタ処理により得ら

れた信号と上記第4のTF部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第1のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数の制御を行い、上記第1の入力端子と第2の入力端子との両方に信号を入力する場合には、上記第1の選択器は、上記第2の入力端子の入力を選択して出力し、上記第2の選択器は、上記第1の入力端子の入力を選択して出力し、上記第3の選択器は、上記第2の入力端子の入力を選択して出力し、上記第4の選択器は、上記第2のTF部のフィルタ処理により得られた信号の反転信号を選択して出力し、上記第5の選択器は、上記第4のTF部の主信号成分を選択して出力し、上記第6の選択器は、上記第4の選択器の出力と上記第1のTF部のフィルタ処理により得られた信号とを加算した信号を選択して出力し、上記第2のタップ係数制御手段により上記第1ないし第4のTF部のタップ係数の制御を行うようにしたから、波形等化装置の中で最も回路規模の大きいTFを共用することができ、回路規模の大幅な増加なしに、VSB信号のような実数成分のみからなる信号とQAM信号のような実数成分と虚数成分とを有する信号との双方を波形等化可能な波形等化装置を提供できる効果がある。

【0109】

また、本発明（請求項4）によれば、請求項3記載の波形等化装置において、上記第1及び第4のTF部は、それぞれ n 個（ n は3以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： m は整数）番目のTFの遅延出力が $m+1$ 番目の入力となるよう接続されており、各TFのフィルタ処理した信号を加算した信号を、それぞれ上記第1及び第4のTF部のフィルタ処理した出力とし、上記第1のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、外部から入力されるセンタータップ制御信号に基づいて選択して、上記第1のTF部の主信号成分として出力する第7の選択手段と、上記第4のTF部内の1番目から $n-1$ 番目のTFそれぞれの遅延出力を個別に入力し、該複数の遅延出力の1つを、上記センタータップ制御信号に基づいて選択して、上記第4のTF部の主信号成分として出力する第8の選択手段とを備えるようにしたから、センタータップ位置を任意に変更可能とすることができ、SB信号のような実数成分のみからなる信号に対しても、QAM信号のよう

な実数成分と虚数成分とを有する信号に対しても、入力信号の状況に応じて等化範囲を変更して最適なタップ配置とすることができる波形等化装置を提供できる効果がある。

【0 1 1 0】

また、本発明（請求項5）によれば、請求項1または請求項3に記載の波形等化装置において、上記第1ないし第4のTF部の少なくとも1つは、 n 個（ n は2以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、該TFのうちの1個以上のTFが、外部から入力されるフィルタ動作制御信号により動作状態を稼動状態と停止状態とのいずれかに切り替えられるようにしたから、入力信号に応じてTFの一部の使用を停止することができ、不要な消費電力を抑えた波形等化装置を提供できる効果がある。

【0 1 1 1】

また、本発明（請求項6）によれば、請求項1または請求項3に記載の波形等化装置において、上記第1及び第4のTF部は、 n 個（ n は2以上の整数）のTFを備え、該各TFは m （ $1 \leq m \leq n-1$ ： 1 は整数）番目のTFの遅延出力が $m+1$ 番目のTFの入力となるよう接続されており、上記第2及び第3のTF部は、 s 個（ s は2以上の整数）のTFを備え、該各TFは t （ $1 \leq t \leq s-1$ ： t は整数）番目のTFの遅延出力が $t+1$ 番目のTFの入力となるよう接続されており、上記第1ないし第4のTF部は、それぞれを構成する各TFのうちの1個以上のTFが、外部から入力されるフィルタ動作制御信号により動作状態を稼動状態と停止状態とのいずれかに切り替えられるようにしたから、入力信号に応じてTFの一部の使用を停止することができ、不要な消費電力を抑えた波形等化装置を提供できる効果がある。

【0 1 1 2】

また、本発明（請求項7）によれば、実数成分のみをもつデジタル入力信号が入力される入力端子と、該入力端子に入力される入力信号に対して波形等化のフィルタ処理を行う第1のTFと、該第1のTFがフィルタ処理した出力を複数の入力のうちのひとつとし、入力される信号を加算して出力する加算器と、該加

算器の出力を出力する出力端子と、上記加算器の出力を遅延させて出力する遅延器と、該遅延器の出力をスライスするスライサと、該スライサの出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、上記スライサの出力を遅延させた遅延出力と、各タップから得られる信号とを出力する第2のTFと、該第2のTFの遅延出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、第2のTFの遅延出力を遅延させた遅延出力と、各タップから得られる信号とを出力する第3のTFと、該第3のTFの遅延出力に対して波形等化のフィルタ処理を行い、フィルタ処理した信号を上記加算器に入力するとともに、各タップから得られる信号を出力する第4のTFと、上記加算器の出力と上記第2ないし第4のTFの各タップから得られる信号とに基づいて、上記第1ないし第4のTFの各タップのタップ係数を制御するタップ係数制御手段とを備えるようにしたから、フィードバック系のTFのタップ係数の計算用に出力信号を蓄えていた遅延器をなくすことができ、回路規模の小さい波形等化装置を提供できる効果がある。

【0113】

また、本発明（請求項8）によれば、デジタル信号が入力される入力端子と、テスト用の信号を発生するテスト信号発生部と、外部から入力されるモード入力信号に基づいて、上記入力端子に入力される信号または上記テスト信号のいずれかを選択して出力する入力信号選択手段と、1つ以上のTFを備え、上記入力信号選択手段が選択した信号に対して波形等化のフィルタ処理を行うデジタルフィルタ部と、該デジタルフィルタ部がフィルタ処理した信号を出力する出力端子と、上記入力信号選択手段が上記入力信号に入力される信号を選択している際には、上記デジタルフィルタ部がフィルタ処理した信号に基づいてデジタルフィルタ部内のTFのタップ係数の更新を行い、記入力信号選択手段が上記テスト信号を選択している場合には、タップ係数の更新を行わないタップ係数制御手段と、を備えるようにしたから、特別な装置を用いることなく、デジタルフィルタ部内のタップ係数を求めることが可能となり、容易にデジタルフィルタの特性を観測できる波形等化装置を提供できる効果がある。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る波形等化装置の構成を示すブロック図

【図 2】

本発明の実施の形態 1 に係る波形等化装置に V S B 信号を入力した際の動作を説明するための図

【図 3】

本発明の実施の形態 1 に係る波形等化装置に Q A M 信号を入力した際の動作を説明するための説明図

【図 4】

本発明の実施の形態 2 に係る波形等化装置の構成図

【図 5】

本発明の実施の形態 2 に係る波形等化装置に V S B 信号を入力した際の動作を説明するための図

【図 6】

本発明の実施の形態 2 に係る波形等化装置に Q A M 信号を入力した際の動作を説明するための図

【図 7】

本発明の実施の形態 3 に係る波形等化装置の構成を示すブロック図

【図 8】

本発明の実施の形態 3 に係る波形等化装置に Q A M 信号を入力した際の動作を説明するための図

【図 9】

本発明の実施の形態 5 に係る波形等化装置の構成を示すブロック図

【図 1 0】

本発明の実施の形態 4 に係る波形等化装置の構成を示すブロック図

【図 1 1】

従来の V S B 信号の波形等化に用いられる波形等化装置の一例を示すブロック図

【図 1 2】

VSB信号の信号フォーマットの構成を示す図

【図13】

VSB信号中のフィールド同期信号の構成を示す図

【図14】

QAM信号の信号点配置を示す図

【図15】

従来のQAM信号の波形等化に用いられる波形等化装置の一例を示すブロック図

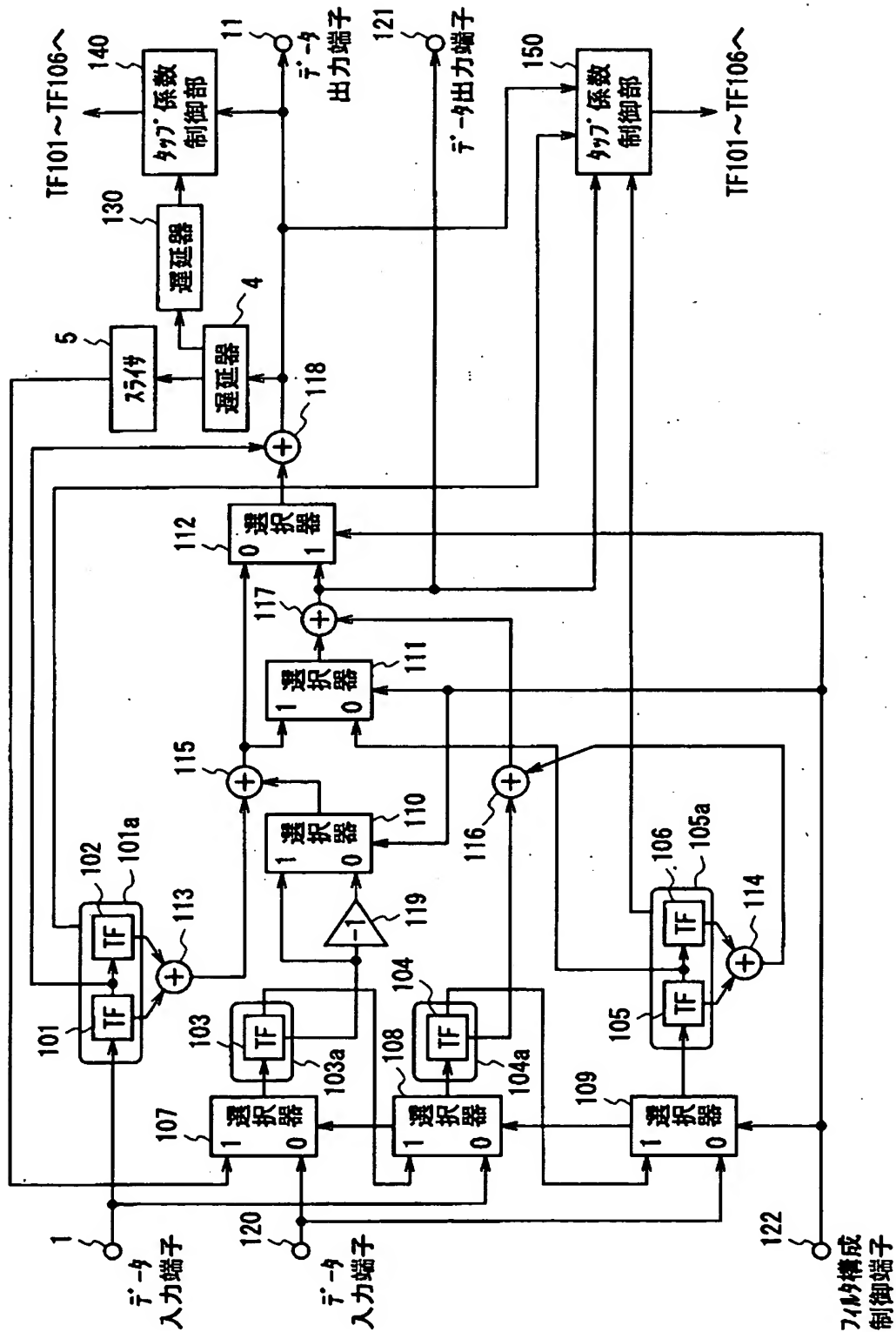
【符号の説明】

- 1、120 データ入力端子
- 2、3、6、7、8、101～106 401～408、701～710 トランスバーサルフィルタ
- 4、10、130 遅延器
- 5 スライサ
- 9、113～118、411、412、711～714 加算器
- 10、140、150、904 タップ係数制御部
- 11、121 データ出力端子
- 15 デジタルフィルタ部
- 107～112、409、410 選択器
- 101a、103a、104a、105a、401a、405a、701a、704a、706a、708a トランスバーサルフィルタ部
- 119 符号反転器
- 122 フィルタ構成制御端子
- 413 センタータップ制御端子
- 715 フィルタ動作制御端子
- 901 モード入力端子
- 902 テスト信号発生部
- 903 入力信号選択部
- 3101 データ信号

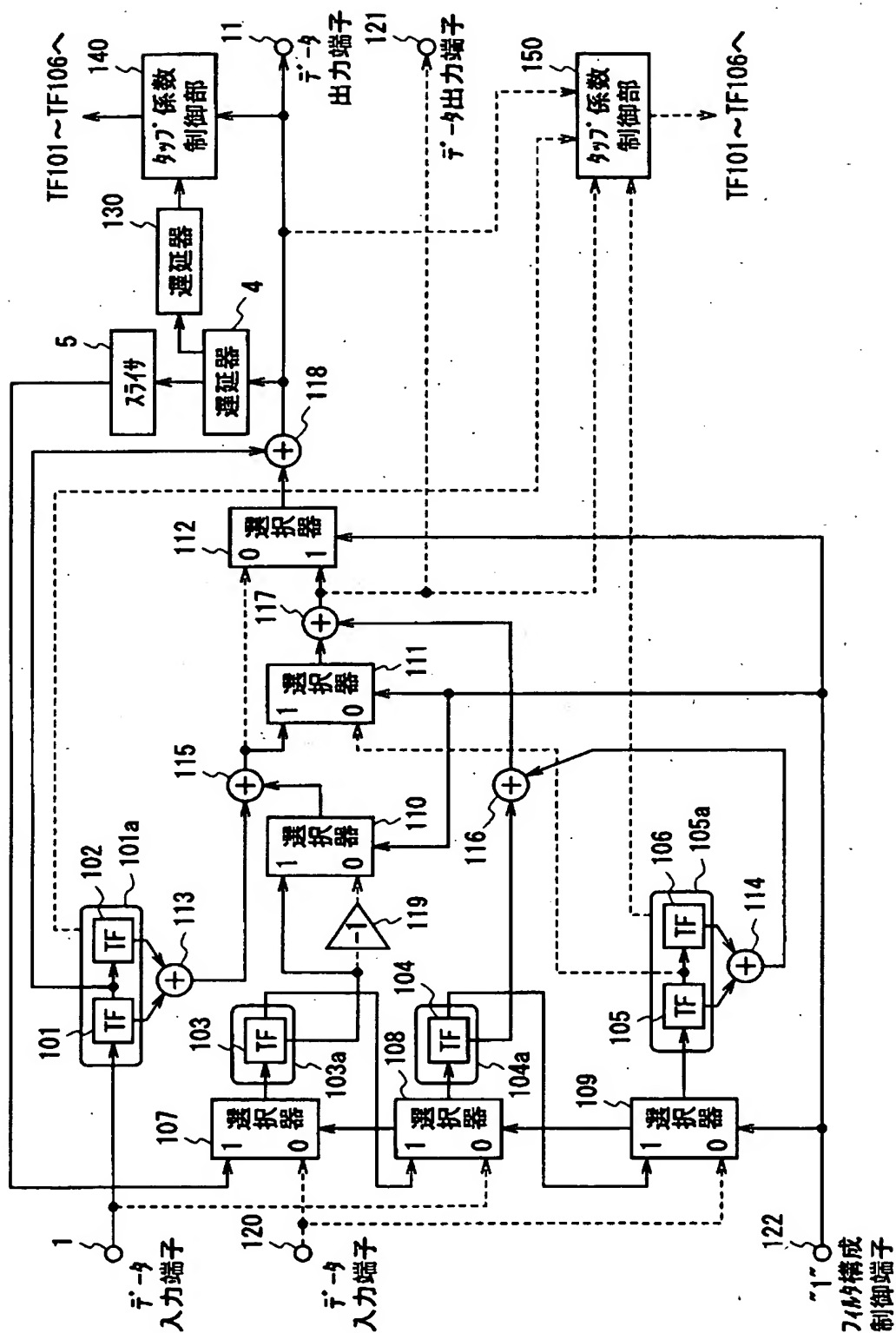
3 1 0 2 フィールド同期
3 1 0 3 セグメント同期
3 2 0 1 P N 5 1 1
3 2 0 3 P N 6 3
3 2 0 3 コントロール信号
S 9 0 1 モード入力信号
S 9 0 2 インパルス信号
S 9 0 3 選択信号

【書類名】 図面

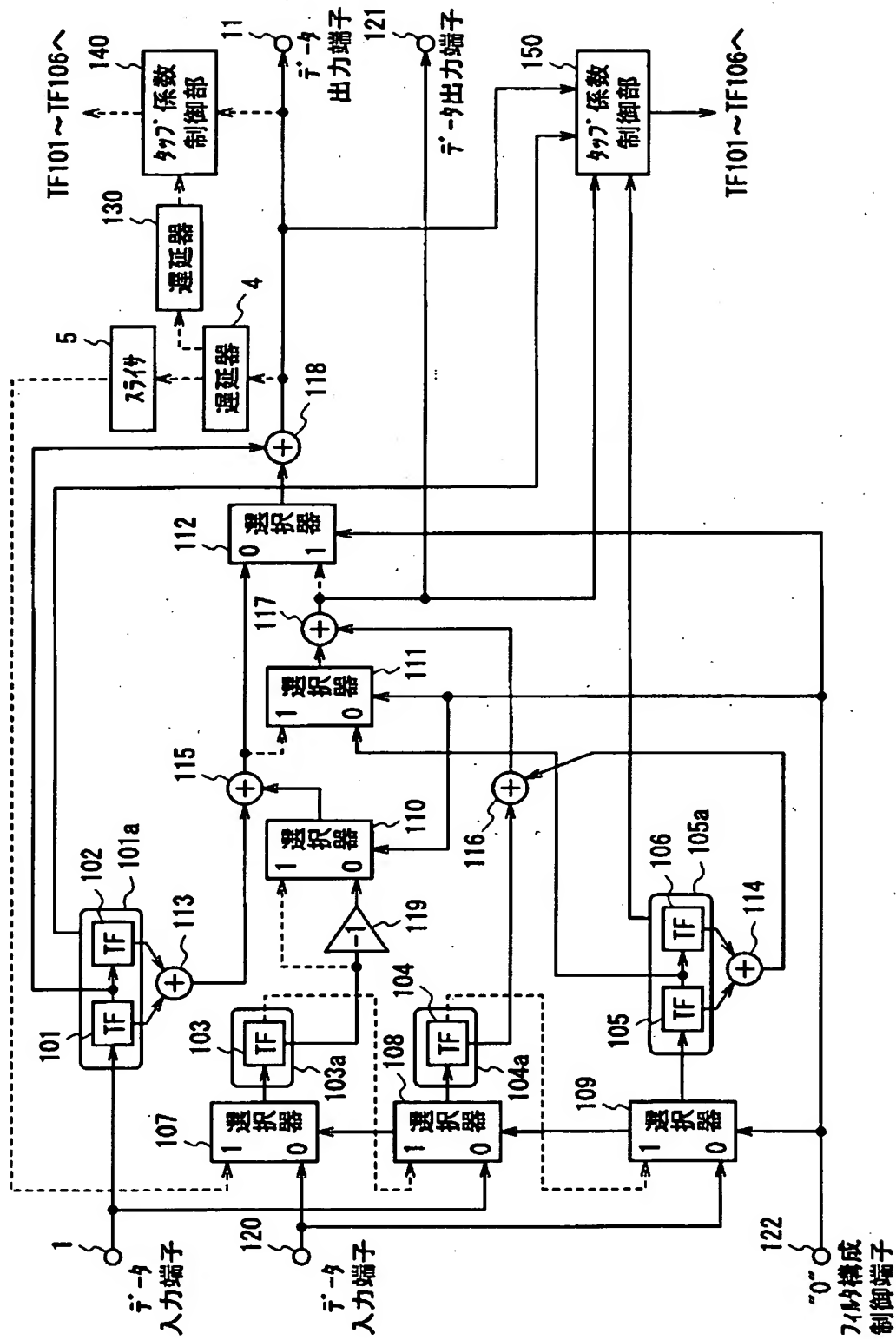
【図 1】



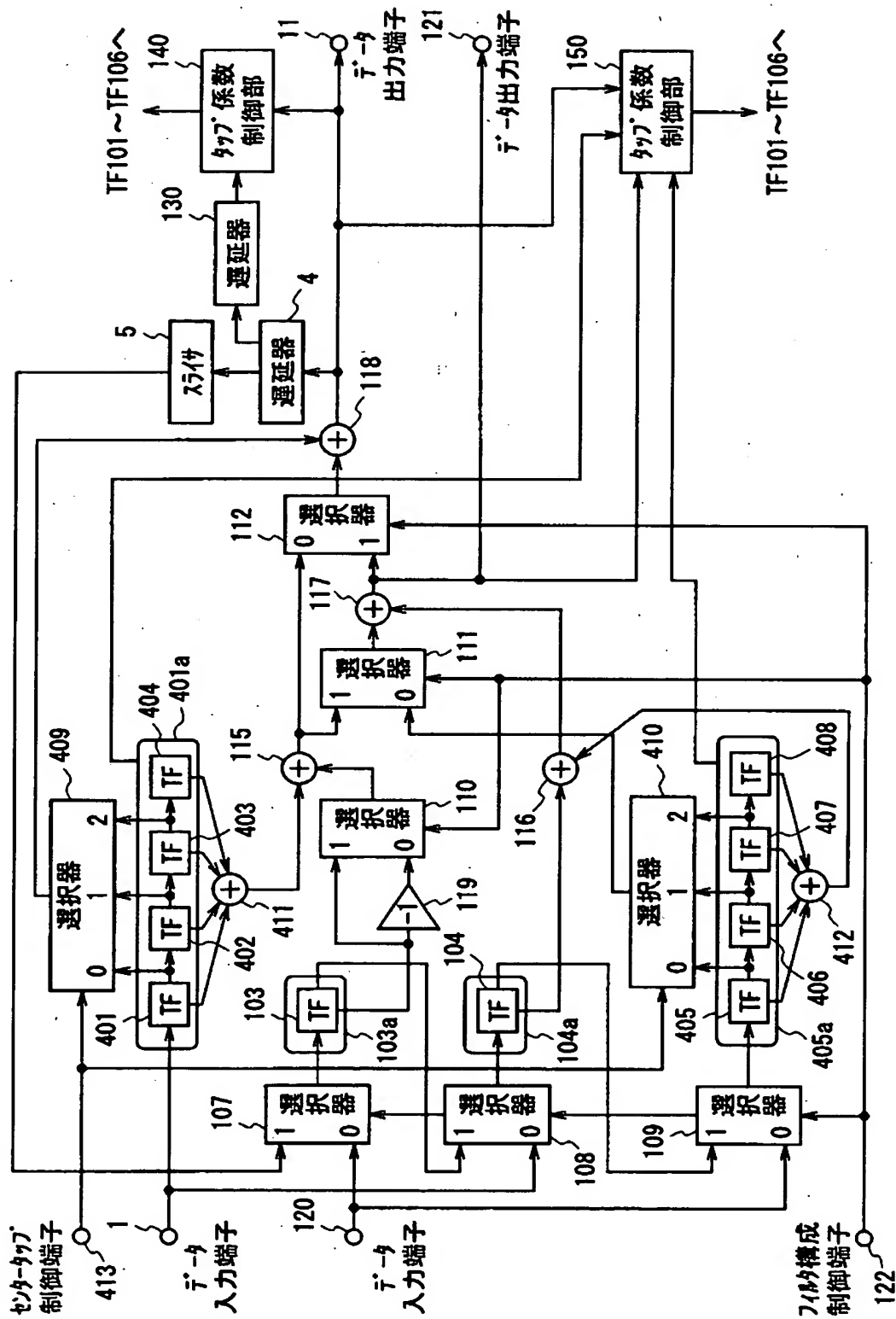
【図 2】



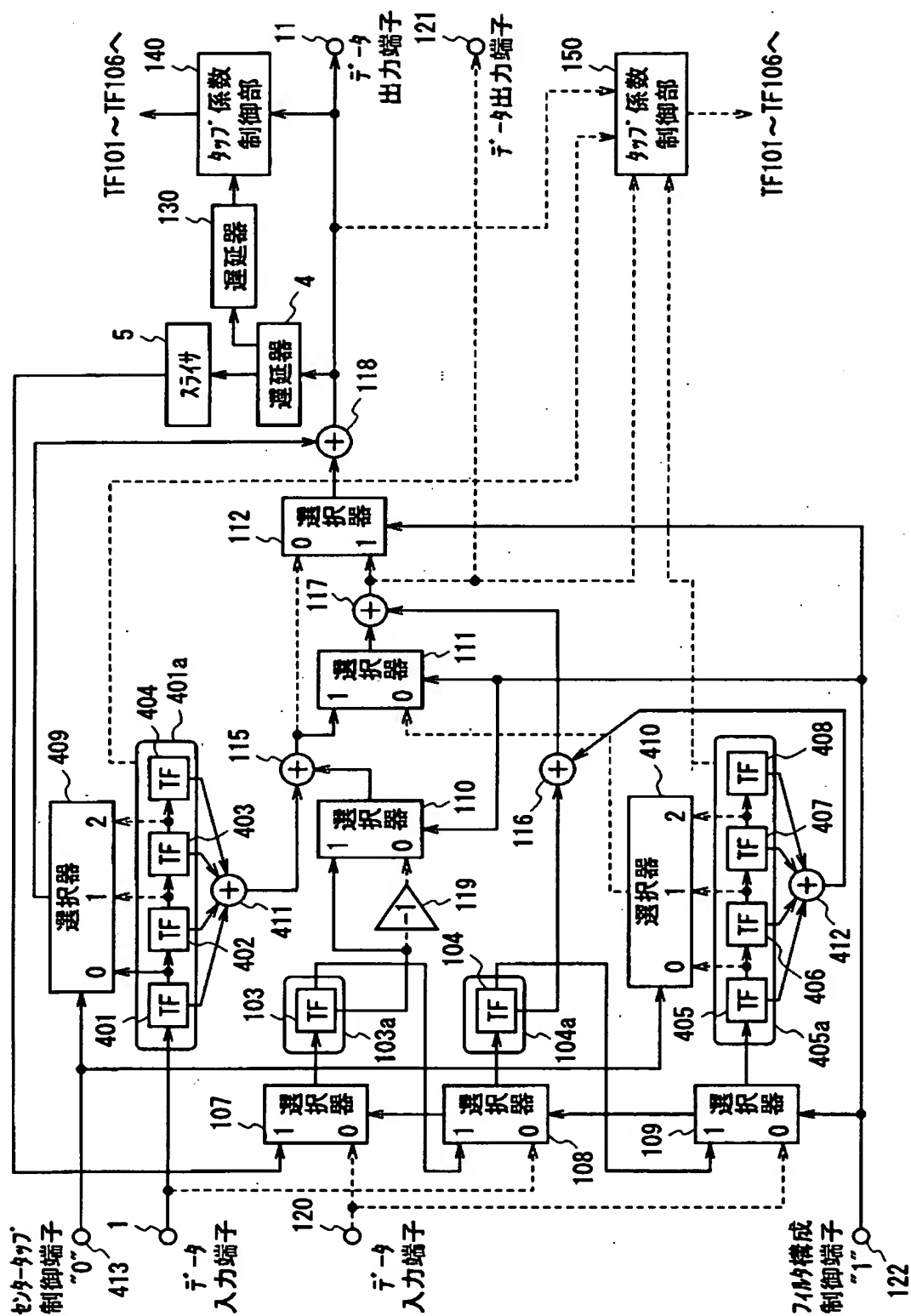
【図 3】



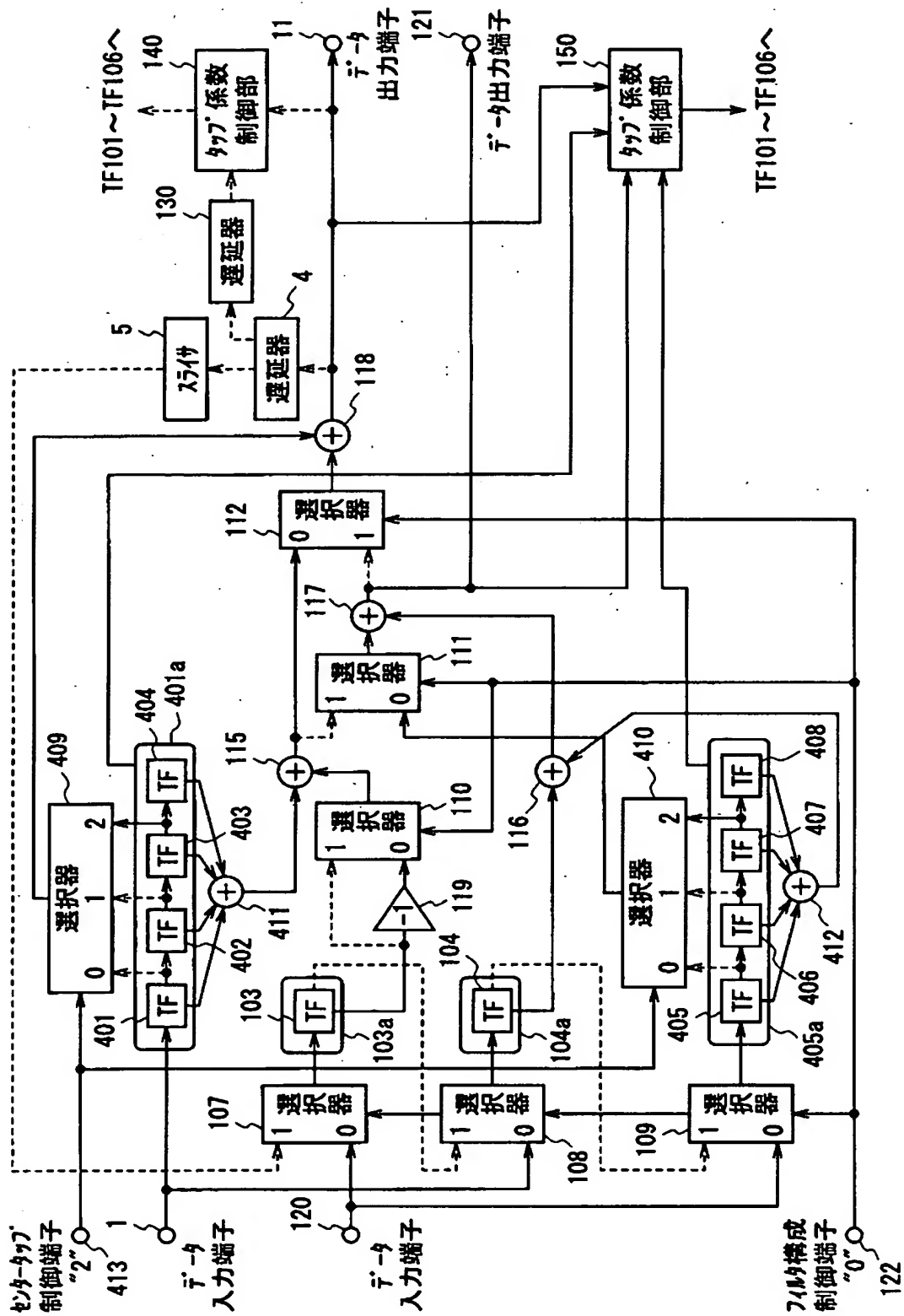
【図 4】



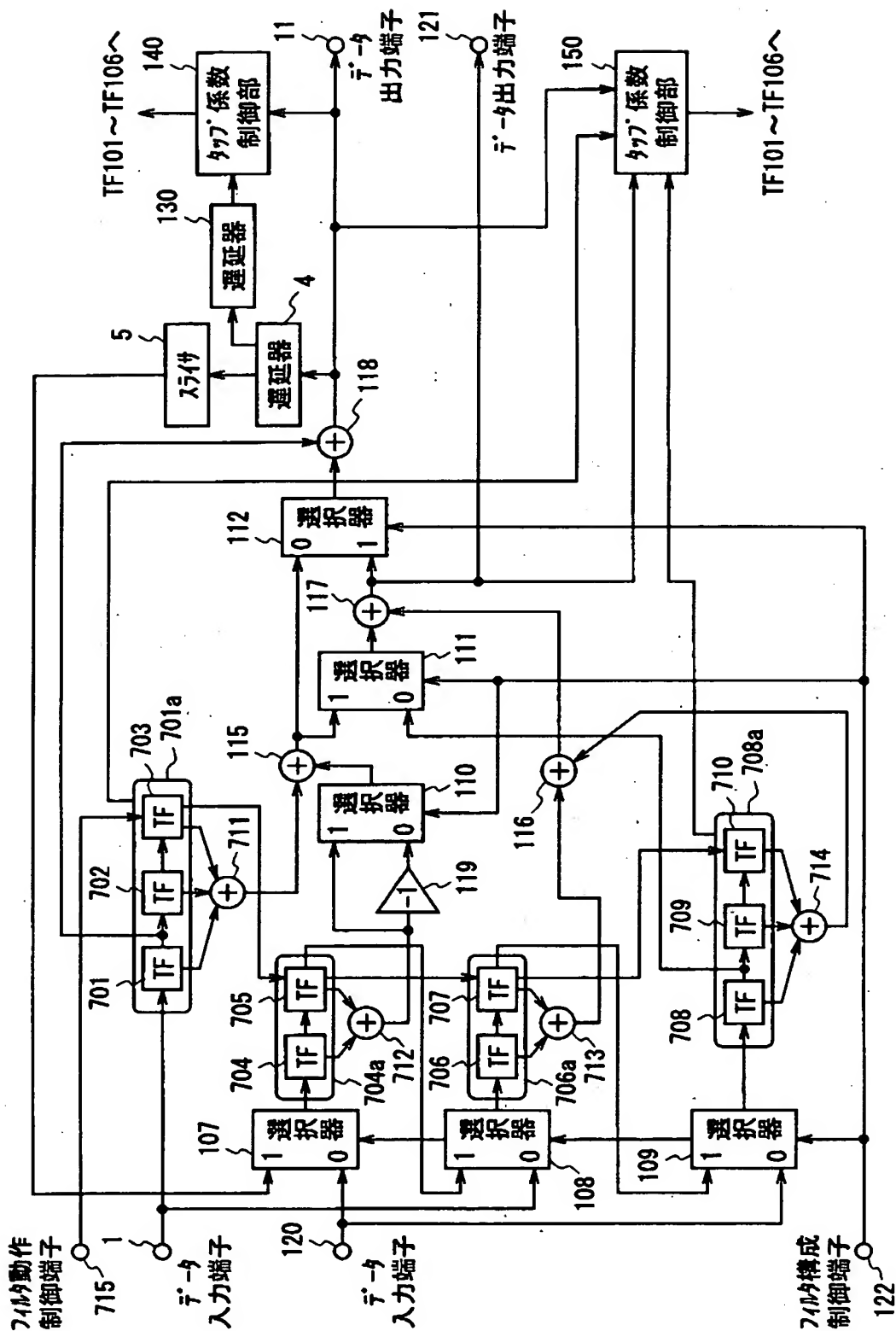
【图 5·】



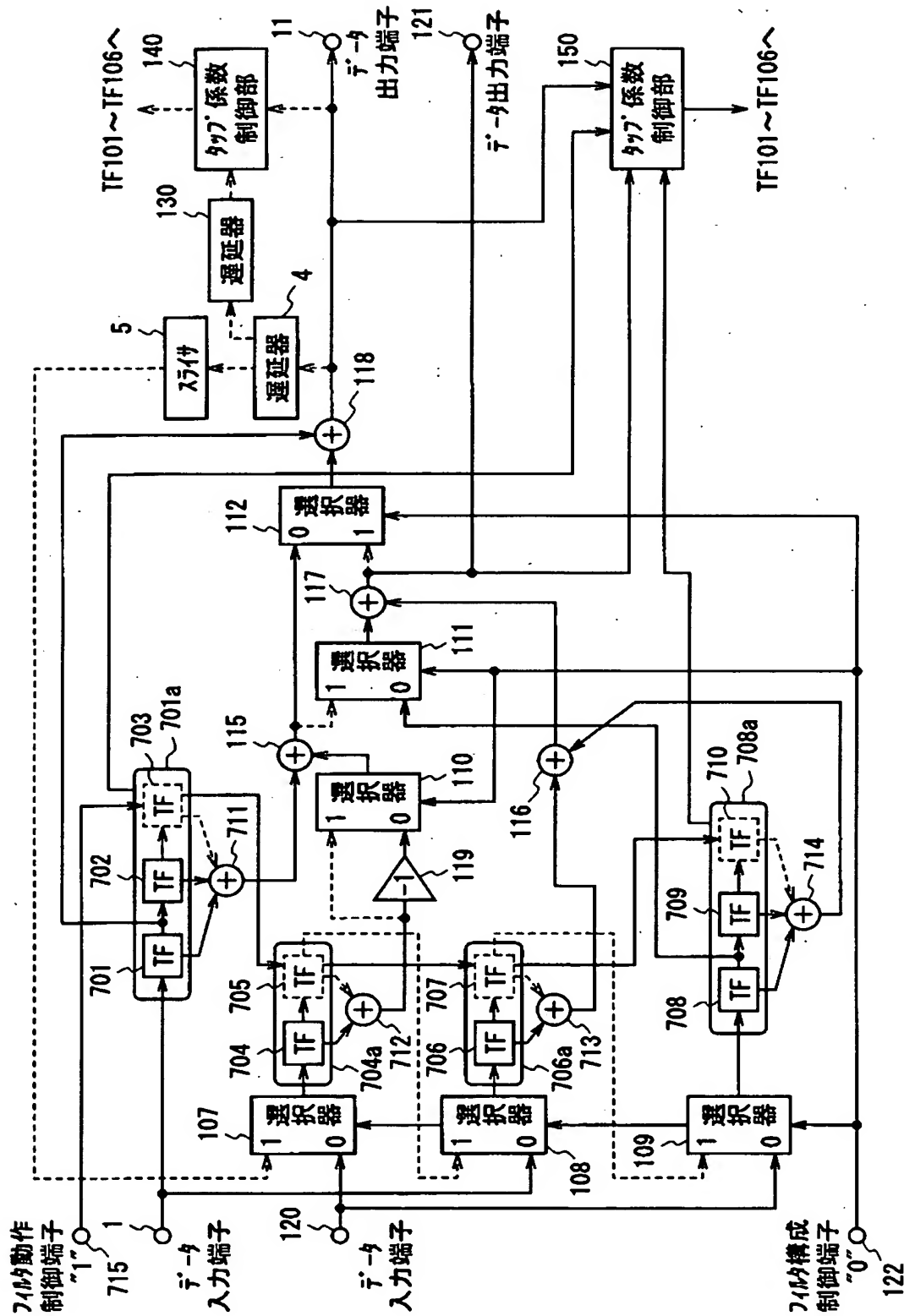
【図 6】



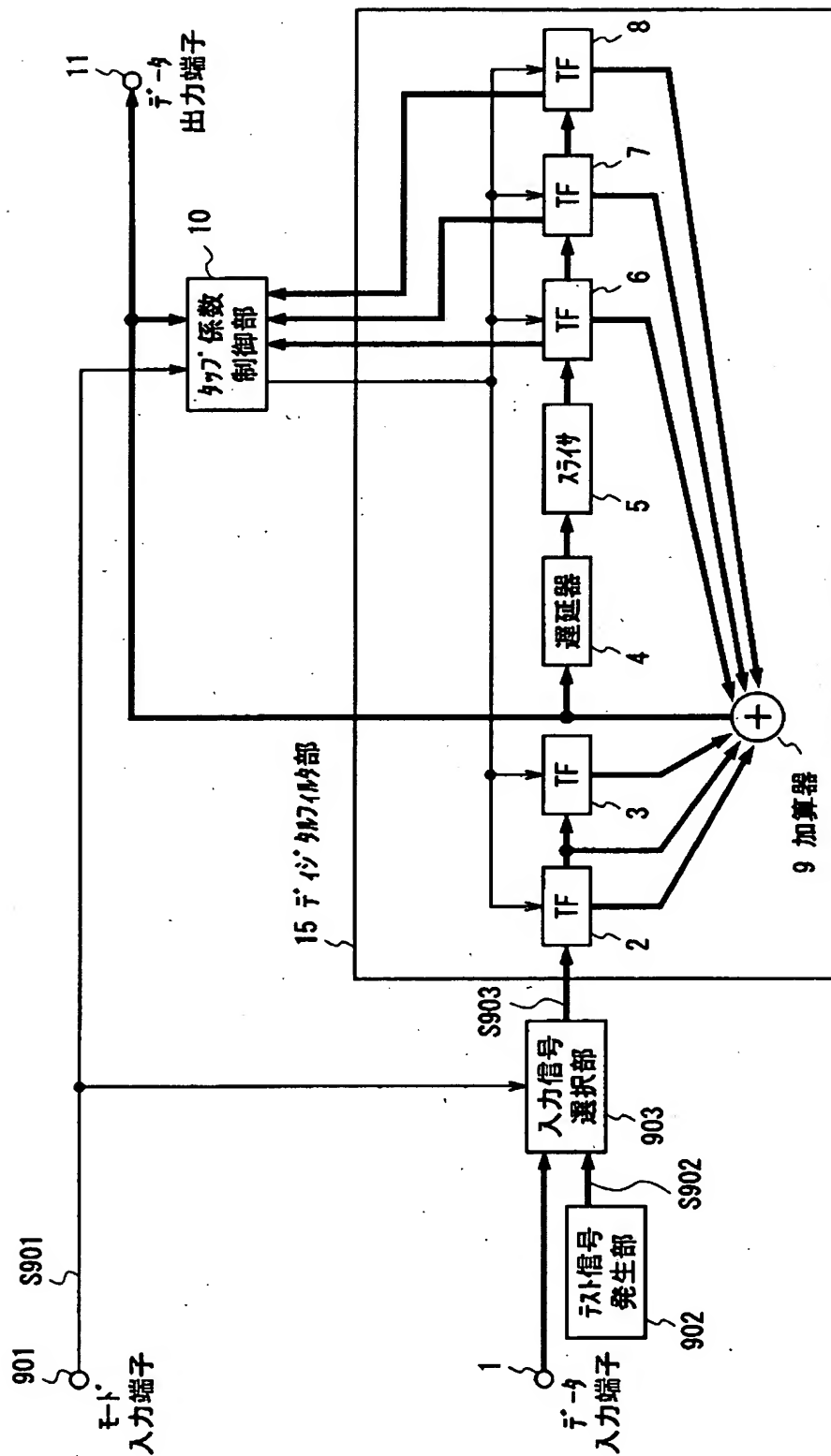
【図 7】



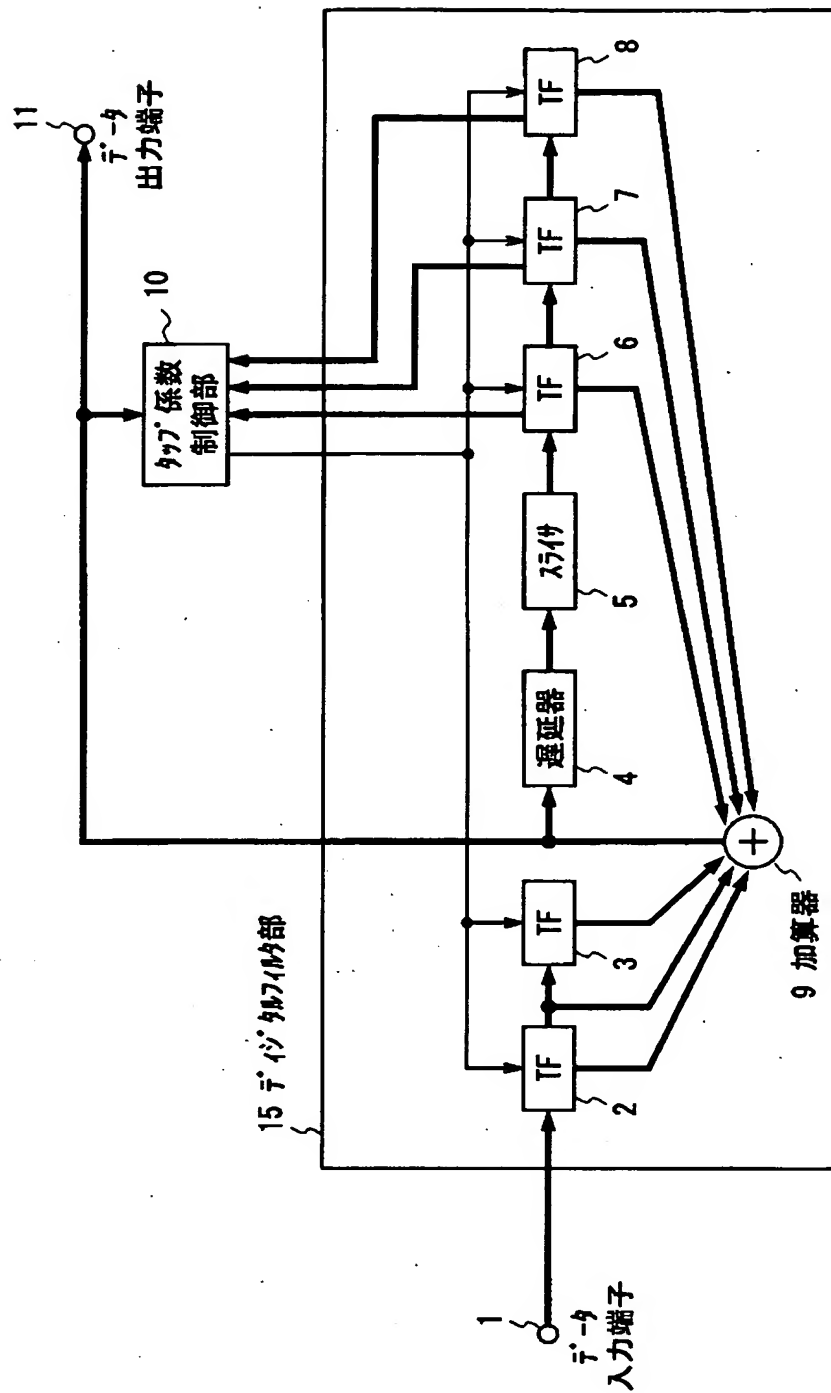
【図 8】



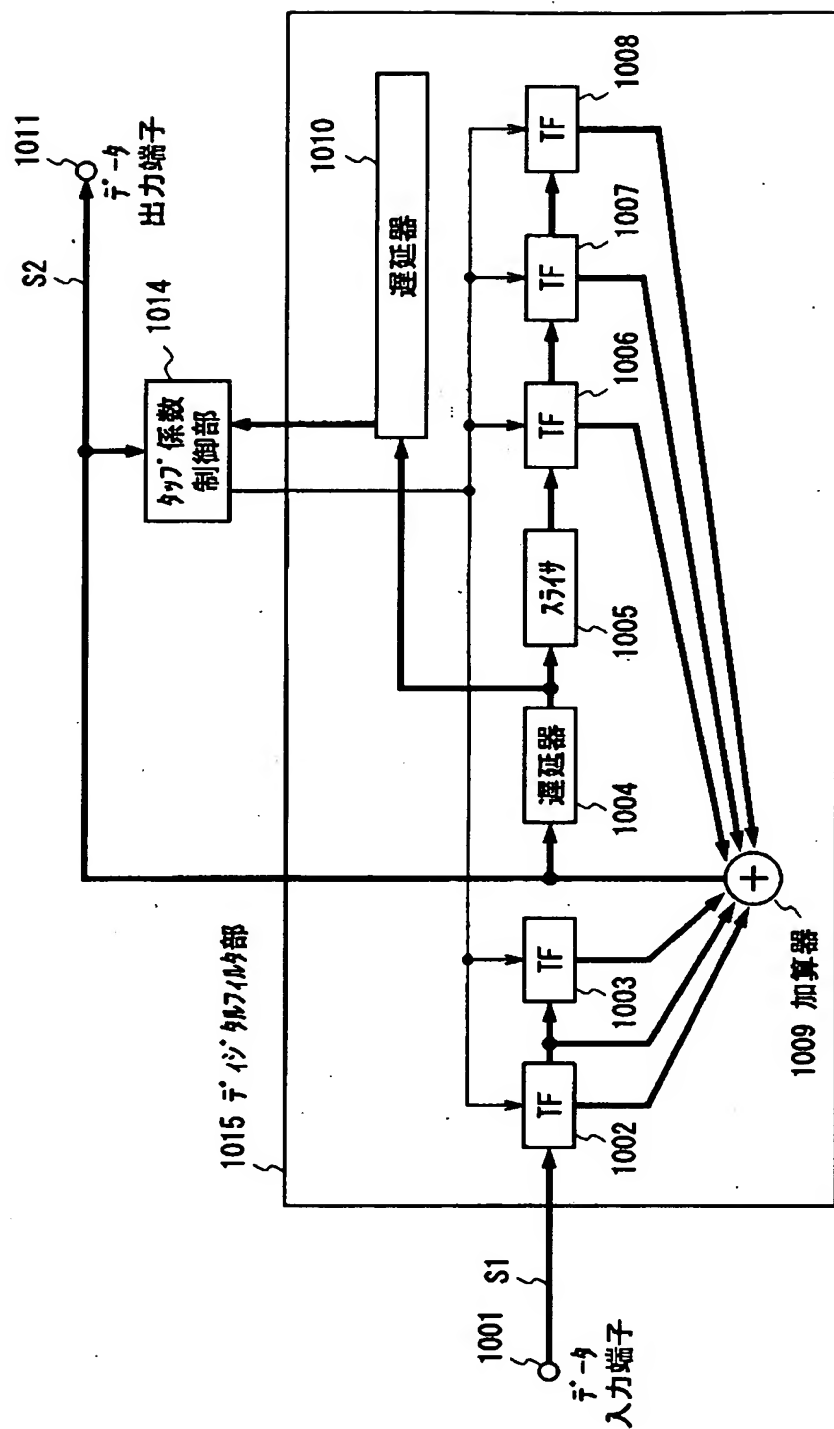
【図 9】



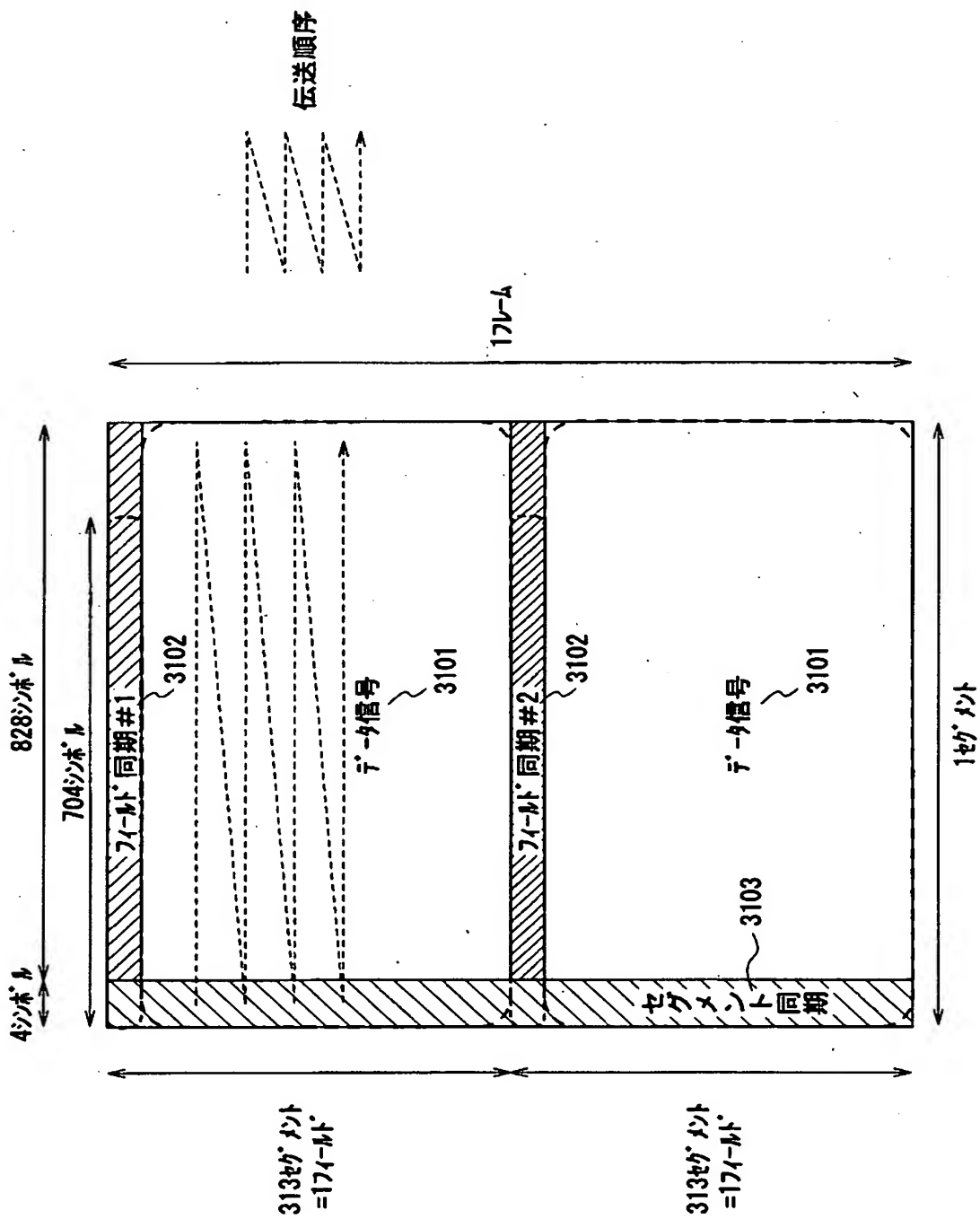
【図 10】



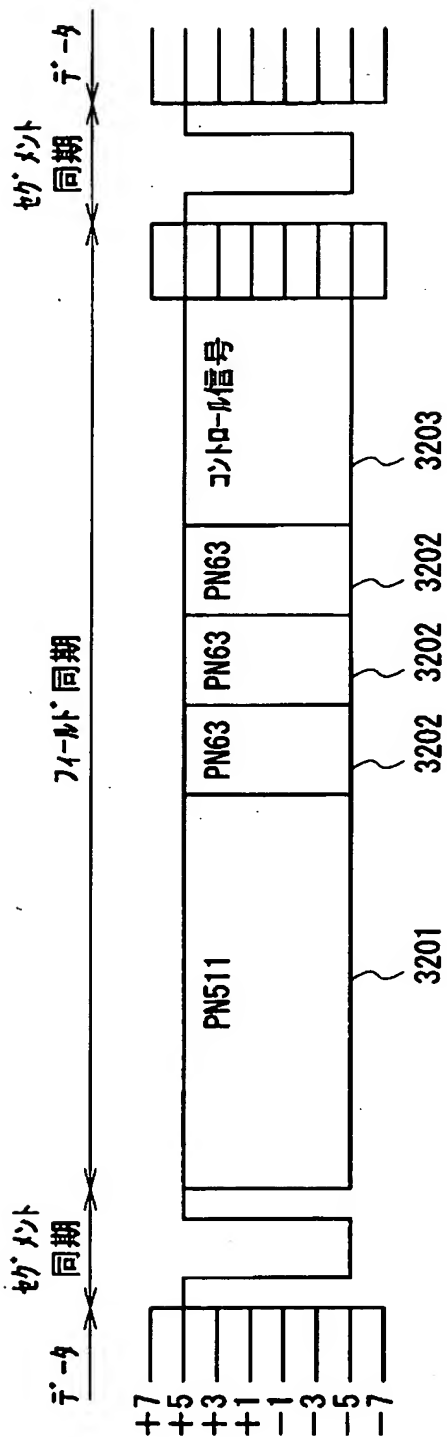
【図 1 1】



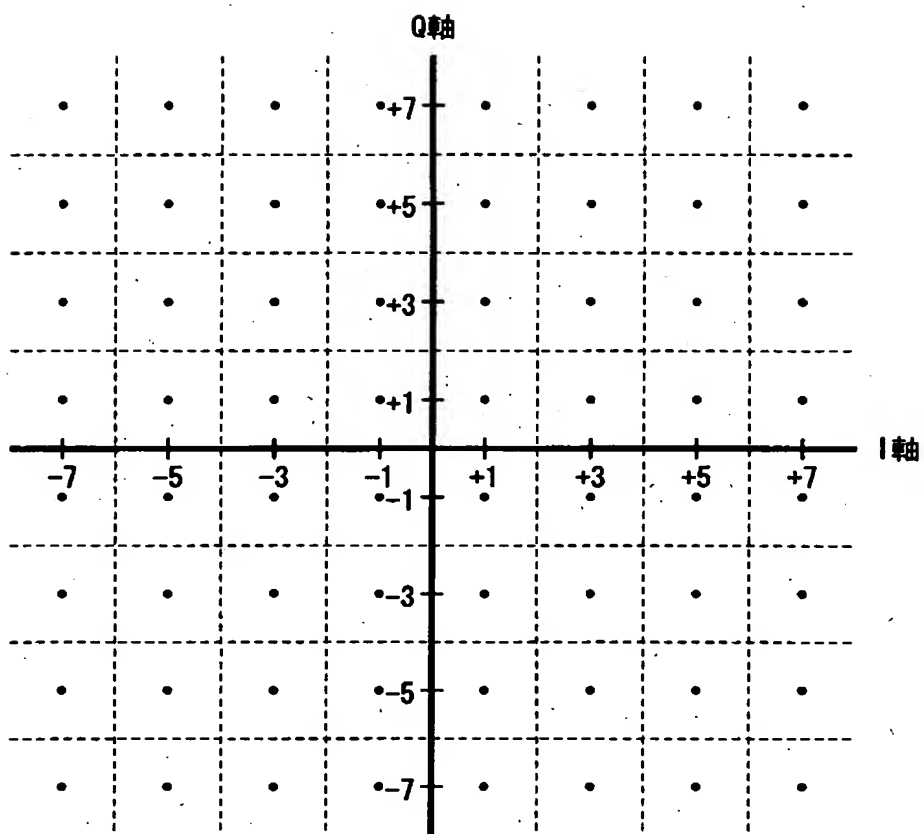
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 VSB信号とQAM信号の両方を波形等化可能であるとともに、回路規模が小さい波形等化装置を提供することを課題とする。

【解決手段】 TF部101a、103a、104a、109aと選択器107～112を備えており、選択器107～112の入力を切り替えることにより、TF部101a、103a、104a、109aを、入力信号がVSB信号である場合はフィルタ全体の構成が実数フィルタとなるよう接続し、QAM信号である場合は複素フィルタとなるよう接続する構成とした。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社



Creation date: 07-07-2004
Indexing Officer: TBUI3 - TAI BUI
Team: OIPEBackFileIndexing
Dossier: 10081718

Legal Date: 07-07-2004

No.	Doccode	Number of pages
1	ECBOX	1

Total number of pages: 1

Remarks:

Order of re-scan issued on